

Entwicklung einer Nanotechnologie-Plattform für die Herstellung Crossbar-basierter Speicherarchitekturen

Matthias Meier

Forschungszentrum Jülich GmbH
Institut für Festkörperforschung (IFF)
Elektronische Materialien (IFF-6)

Entwicklung einer Nanotechnologie- Plattform für die Herstellung Crossbar- basierter Speicherarchitekturen

Matthias Meier

Schriften des Forschungszentrums Jülich
Reihe Schlüsseltechnologien / Key Technologies

Band / Volume 12

ISSN 1866-1807

ISBN 978-3-89336-598-2

Bibliografische Information der Deutschen Nationalbibliothek.
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der
Deutschen Nationalbibliografie; detaillierte Bibliografische Daten
sind im Internet über <<http://dnb.d-nb.de>> abrufbar.

Herausgeber und Vertrieb: Forschungszentrum Jülich GmbH
Zentralbibliothek, Verlag
D-52425 Jülich
Telefon (0246 1) 6 1-5368 · Telefax (0246 1) 6 1-6 103
e-mail: zb-publikation@fz-juelich.de
Internet: <http://www.fz-juelich.de/zb>

Umschlaggestaltung: Grafische Medien, Forschungszentrum Jülich GmbH

Druck: Grafische Medien, Forschungszentrum Jülich GmbH

Copyright: Forschungszentrum Jülich 2009

Schriften des Forschungszentrums Jülich
Reihe Schlüsseltechnologien / Key Technologies Band / Volume 12

D 82 (Diss., RWTH Aachen, Univ., 2009)

ISSN 1866-1807
ISBN: 978-3-89336-598-2

Vollständig frei verfügbar im Internet auf dem Jülicher Open Access Server
(JUWEL) unter <http://www.fz-juelich.de/zb/juwel>

Alle Rechte vorbehalten. Kein Teil des Werkes darf in irgendeiner Form (Druck, Fotokopie oder in einem anderen Verfahren) ohne schriftliche Genehmigung des Verlages reproduziert oder unter Verwendung elektronischer Systeme verarbeitet, vervielfältigt oder verbreitet werden.

Kurzfassung

Neuartige Datenspeichermaterialien und -konzepte rücken immer mehr in den Fokus heutiger Forschungsaktivitäten, da die derzeitigen CMOS-basierten Speicherarchitekturen durch die fortschreitende Miniaturisierung der Bauelemente zukünftig an ihre physikalischen Grenzen stoßen werden. Resistive Datenspeicher, kurz RRAM (Resistive Random Access Memory), gewinnen damit zunehmend an Bedeutung. Den Kern des RRAM bildet ein Material, welches durch Anlegen einer elektrischen Spannung zwischen zwei Widerstandszuständen geschaltet werden kann. Dem einen Zustand des Materials wird die logische „1“, dem anderen Zustand die logische „0“ zugeordnet, wodurch ein binärer Speicher entsteht. Weil die Zustände auch nach dem Abschalten der Betriebsspannung erhalten bleiben, ist der RRAM nicht-flüchtig. Das Speicherelement des RRAM besteht aus einem MIM-Plattenkondensator, bei dem zwischen zwei Metallelektroden das resistive Material integriert wird.

Die Weiterentwicklung von Strukturierungsverfahren, welche die Herstellung von Bauelementen im sub-100 nm-Bereich vor allem auf wirtschaftlich tragbare Weise erlauben, stellt eine bedeutende Säule der Forschung zur Realisierung neuartiger Speicherkonzepte dar. Insbesondere die Nanoimprint-Lithographie bietet hierbei ein alternatives Verfahren, welches aufgrund der potentiell hohen Durchsätze und Auflösungen < 10 nm konkurrenzfähig zu den heutigen optischen Lithographien zu werden scheint.

Diese Arbeit behandelt die Entwicklung einer Herstellungstechnologie-Plattform auf Basis der Nanoimprint-Lithographie, mit der resistive Speicherkonzepte umgesetzt werden können. Es wurden dazu aus Glaswafern mittels Elektronenstrahlolithographie und reaktiven Ionenstrahl-Prozessen Stempel für die Imprint-Lithographie hergestellt. Anschließend wurde ein UV-basierter Imprint-Prozess eingeführt. Neben der Parameteroptimierung (Druck, Zeit, UV-Dosis und Temperatur) wurden die Fülleffekte und die Dicken der UV-Lacke in Bezug auf das Stempellayout untersucht. Für die Übertragung von Strukturen auf einen Substratwafer wurden Trockenätzprozesse optimiert.

Crossbar-Speicher-Architekturen mit Linienbreiten von bis zu 30 nm konnten mit den entwickelten Prozessen hergestellt werden. Ferner wurden mehrere Crossbar-Arrays übereinander geschichtet, wodurch eine Steigerung der Integrationsdichte erzielt wurde. Die Stapelung mehrerer Bauelemente bedurfte eines Planarisierungsschrittes der einzelnen Metallisierungsebenen mittels Spin-On Glas, hier Methyl-Silsesquioxan.

Methyl-Silsesquioxan in Kombination mit Silber wurde in dieser Arbeit, neben der Planarisierung, als schaltbares Material entdeckt. Es wurden RRAM-Zellen hergestellt, welche aufgrund sehr schneller Schaltzeiten (10 ns) und hoher Integrationsdichten (100 nm Half-Pitch) großes Zukunftspotential zeigten. Durch die Silberdotierung der Glasschicht war es zudem möglich, mehrere RRAM-Zellen übereinander zu stapeln. Elektrische Messungen zeigten deren Funktionsfähigkeit, wodurch ein Mehrlagenkonzept für sehr hohe Integrationsdichten demonstriert wurde.

Abstract

Novel memory materials and concepts are in the focus of nowadays research activities because CMOS-based architectures are assumed to run into their physical limits by further downscaling of the minimum feature size. Hence, alternative resistive random access memories (RRAM) are of increasing interest. The core of the RRAM is a material which can be switched between two different resistance states by applying a threshold voltage. One state corresponds to logical “1” and the other corresponds to logical “0” building a binary non-volatile memory. A memory cell can be realised with a MIM-capacitor configuration in which the resistance switching material is sandwiched between two metal electrodes.

The development of novel structuring techniques for the realisation of sub-100 nm feature sizes is a major key issue in the field of semiconductor technology. Especially the development of low cost systems which can offer nanometer resolution will become more important in the near future. Nanoimprint lithography is an alternative moulding method which offers high throughput and resolutions < 10 nm and is thereby pronounced as a future lithography candidate.

This thesis describes the development of a nanotechnology platform based on nanoimprint lithography which can be used to fabricate RRAM architectures. Therefore glass wafers were patterned by electron beam lithography and reactive ion beam etching for the use as nanoimprint stamp. Afterwards a UV nanoimprint lithography (UV NIL) process was established. The imprint parameters (pressure, time, UV dose and temperature) were optimized regarding the mould layout. Effects of the resist thickness on the imprint quality were investigated. Dry etching processes were optimised to transfer nanostructures into metal layers and consequently to form nano metal electrodes.

Crossbar memory architectures with line widths down to 30 nm were realised with the established processes. Furthermore, a multilayer crossbar array was built which demonstrates the potential for very high integration densities. This multilayer concept requires the planarization of each metal layer with spin-on glass, in this case methyl-silsesquioxane.

Methyl-silsesquioxane in combination with silver was additionally found as resistively switching material during this work. RRAM cells with integrated spin-on glass show very fast switching properties (10 ns switching) and high integration density potential in 100 nm half-pitch devices. These conditions are important for future memory applications. By using a silver doping process of the glass layer instead of silver electrodes it was possible to stack the methyl-silsesquioxane RRAM cells onto each other. Electrical measurements on stacked cells proved their functionality whereby a three dimensional memory concept with integrated spin-on glass for very high integration densities was successfully demonstrated.

Danksagung

Mein Dank gilt Professor Rainer Waser für die Möglichkeit meine Doktorarbeit an seinem Institut durchführen zu können. Vielen Dank für Ihre stets offene Tür und die Motivation zu neuen Ideen.

Ich danke Professor Andrei Vescan für das kritische Gegenlesen und die Begutachtung meiner Arbeit.

Bei Dr. Carsten Kügeler möchte ich mich für seine intensive Betreuung während meiner Zeit in Jülich bedanken. Die kreativen Diskussionen und die aufmunternden Worte werden mir fehlen. Ferner danke ich Prof. Andreas Rüdiger für die persönliche Unterstützung und die Betreuung der ersten Monate. Seiner Begeisterung für die Wissenschaft verdanke ich meine Entscheidung für das Forschungszentrum.

Sandra Gilles und Roland Rosezin danke ich sehr herzlich für die Unterstützung im Labor, für viele fruchtbare Diskussionen und die persönlichen Gespräche. Die Arbeit mit Euch hat mir immer viel Spaß gemacht.

Der Dank gilt Dr. Christina Schindler und Dr. Christian Nauenheim für die fachlichen und privaten Diskussionsrunden. Ihr konntet mir stets weiterhelfen und mich aufheitern.

Bei Dr. Tobias Menke, Rohit Soni und Dr. Paul Meuffels bedanke ich mich für die Diskussionen und Anregungen rund um das Thema des filamentären Schaltens.

Michael Prömpers und Dr. Dirk Mayer ist für die Unterstützung bei der Entwicklung des Nanoimprint-Prozesses zu danken.

Holger John, Rene Borowski und Prof. Hermann Kohlstedt danke ich für die Unterstützung bei der Entwicklung und Durchführung der Reinraumprozesse.

Maria Garcia gilt mein besonderer Dank für die einwandfreie Organisation.

Allen Kollegen des „Instituts für Festkörperforschung“, des „Instituts für Bio- und Nanosysteme“ sowie der RWTH Aachen sei an dieser Stelle neben der fachlichen Hilfestellung für eine unvergessliche Zeit während meiner Doktorarbeit gedankt.

Abschließend möchte ich meiner Familie und meiner wundervollen Frau Verena von Herzen danken. Ihr habt immer an mich geglaubt!

Inhaltsverzeichnis

Abbildungsverzeichnis

Abkürzungs- und Symbolverzeichnis

1	Einleitung	9
2	Die Entwicklung der Speichertechnologie	11
2.1	Die Halbleitertechnologie	11
2.1.1	Lithographieentwicklung	12
2.1.2	Nanoimprint-Lithographie	14
2.2	Speicherkonzepte von Heute und Morgen	19
3	Resistives Schalten	23
3.1	Materialien und Mechanismen	25
3.2	Speicherarchitekturen	29
4	Die Herstellungstechnologien	33
4.1	Anlagen und Funktionsweisen	33
4.1.1	Die Nanoimprint-Anlage	33
4.1.2	Die Ionenstrahl-Anlage	37
4.2	Die Herstellungsprozesse	41
4.2.1	Herstellung von UV-Imprint-Stempeln	41
4.2.2	Nanoimprint-Lacke	45
4.2.3	Residual-Layer und Fülleffekte	49
4.2.4	Reaktives Ionenstrahl-Ätzen	54

4.2.5	Ätzprozesse	55
4.2.6	Der Reverse-Tone-Prozess	63
4.2.7	Fencing	65
5	Herstellung von Crossbar-Strukturen	67
5.1	Herstellung der Bottom-Elektroden	67
5.2	Alignment.....	71
5.3	Herstellung der Top-Elektroden.....	77
5.4	Alternative Herstellung der Zuleitungsperipherie.....	83
5.5	Die Notwendigkeit der Planarisierung	86
5.6	Das Crossbar-Array als Integrations-Plattform.....	87
6	Integration von Methyl-Silsesquioxan	91
6.1	Resistives Schalten in Pt/MSQ/Ag-Zellen	92
6.2	Untersuchungen zum Schaltmechanismus	98
6.3	Untersuchung zum Einfluss der Methyl-Gruppe	100
6.4	Performance der Speicherzellen.....	103
6.5	Programmierung von Wort-Registern	108
6.6	Crossbar-Arrays	109
7	Die Mehrlagen-Architektur	111
7.1	Herstellung von Multilagen-Crossbars.....	111
7.2	Ag-Dotieren der MSQ-Zellen	113
7.3	Drei-dimensionale MSQ-Speicher	118
8	Zusammenfassung und Ausblick	121
	Anhang – Prozessparameter	125
	Literatur	127

Abbildungsverzeichnis

- 2.1** : Gegenüberstellung des thermischen Imprints und des UV-Imprints
- 2.2** : Auszug aus der ITRS-Roadmap
- 2.3** : Prinzipdarstellung einer DRAM-Speichereinheit
- 2.4** : Prinzipdarstellung einer Flash-Speichereinheit
- 2.5** : Schreibschema eines PCRAM
- 3.1** : Kondensatoraufbau einer resistiv schaltenden Zelle
- 3.2** : Schaltverhalten von resistiven Materialien
- 3.3** : Resistives Schalten in Metall-Oxiden
- 3.4** : Resistives Schalten in Festkörper-Elektrolyten
- 3.5** : Crossbar-Array-Architektur
- 4.1** : Nanoimprint-Anlage NX2000
- 4.2** : Funktionsdarstellung der Nanoimprint-Anlage NX2000
- 4.3** : Vergleich zweier Ergebnisse, wie sie mit einer Parallelplatten-presse und einer Druckluftpresse auf einem 100 mm Wafer erzielt worden sind
- 4.4** : Druck- und Temperaturverlauf während eines UV-Nanoimprint-Prozesses
- 4.5** : Aufbau der Ionfab300plus
- 4.6** : Gitteranordnung und Potentialverlauf des Ionenstrahlverfahrens
- 4.7** : Herstellungsprozess der UV-Nanoimprint-Stempel
- 4.8** : Chemischer Aufbau des Perfluorsilans
- 4.9** : Silanisierungsprozess
- 4.10** : Kontaktwinkelmessung der silanisierten Stempeloberfläche

- 4.11** : 100 mm SiO₂-Wafer für die Stempelherstellung
- 4.12** : CAD-Layout der Elektrodenstrukturen für Crossbar-Array-Architekturen
- 4.13** : Lackabdruck: Versatz der abzubildenden Struktur bei einem thermischen Imprint-Prozess
- 4.14** : Aufschleuderkurve des NX-2010
- 4.15** : Messungen von initialer Lackdicke nach dem Aufschleudern und des Residual-Layers
- 4.16** : Residual-Layer-Verteilung nach dem Breakthrough-Etch
- 4.17** : Unvollständig gefüllte Kontaktflächen und Zuleitungen
- 4.18** : Füllungseffizienz des Imprint-Stempels in Abhängigkeit der zu füllenden Peripheriefläche
- 4.19** : Füllungseffizienz in Abhängigkeit des Feststoffgehaltes des UV-Lacks
- 4.20** : Ätzmechanismen
- 4.21** : Pt-Teststrukturen nach dem Ar-Sputterätzen
- 4.22** : SiO₂-Teststrukturen nach dem CF₄-Ätzprozess
- 4.23** : Abdrücke in UV-Lack zweier Stempel, welche mit unterschiedlichen Hartmasken hergestellt wurden
- 4.24** : Ätzratenabhängigkeiten des NXR-2010
- 4.25** : Ätzprofil nach einem Residual-Ätzprozess mit einem CF₄/Ar-Gemisch
- 4.26** : Ätzprofil nach einem Residual-Ätzprozess mit einer Proben-Kühlung
- 4.27** : Zweilagigen-Lackstrukturierung
- 4.28** : Reverse-Tone Prozess
- 4.29** : Fencing
- 4.30** : Pt-Strukturen nach dem Ar-Sputterätzen
- 4.31** : Reduzierung der Fencing-Strukturen
- 5.1** : Prozessablauf der Bottom-Elektroden

- 5.2** : Rasterelektronenmikroskop-Aufnahmen verschiedener Prozessfortschritte bei der Herstellung von Bottom-Elektroden
- 5.3** : Planarisierungsprozess
- 5.4** : Rasterelektronenmikroskop-Aufnahmen des Planarisierungsprozesses
- 5.5** : Aufbau des Mask-Aligners und Prinzipdarstellung der Alignment-Prozedur
- 5.6** : Alignment-Marker
- 5.7** : Positionierte Alignment-Marker
- 5.8** : Optische Mikroskopaufnahme der Alignment-Marker nach der Nanoimprint-Lithographie
- 5.9** : Prozessablauf der Top-Elektroden
- 5.10** : Rasterelektronenmikroskop-Aufnahmen verschiedener Crossbar-Strukturen
- 5.11** : Leitungswiderstandsmessungen
- 5.12** : Herstellungsprozess alternativer Zuleitungen mittels optischer Lithographie und Lift-Off-Technik
- 5.13** : REM-Aufnahme einer Bottom-Elektrode, deren Zuleitungsperipherie partiell in alternativer Herstellungsweise realisiert wurde
- 5.14** : Widerstandsmessungen an Pt Bottom-Elektroden
- 5.15** : Crossbar-Arrays ohne Planarisierung
- 5.16** : Integration von TiO_2 in die Crossbar-Plattform
- 5.17** : $I(U)$ -Kennlinie einer resistiven Speicherzelle mit schaltbarem TiO_2
- 6.1** : Molekulare Struktur des MSQ
- 6.2** : Herstellung von Crossbar-Strukturen mit integriertem MSQ
- 6.3** : Einzelkreuzstruktur und $I(U)$ -Kennlinien quasistatischer Messungen
- 6.4** : Verlauf des ON-Widerstandes R_{ON} in Abhängigkeit von der Zellgröße
- 6.5** : Statistische Auswertung der Formierspannung, SET-Spannung, RESET-Spannung

- 6.6** : I(U)-Kennlinie an einer Pt/MSQ/Pt-Zelle
- 6.7** : Lateralstruktur bestehend aus zwei Ag-Elektroden, zwischen denen sich MSQ befindet
- 6.8** : REM-Aufnahmen an Lateralstrukturen nach einem Formierungsprozess mit 20 V
- 6.9** : FTIR-Analyse an Pt/MSQ-Schichten, die mit unterschiedlichen Temperaturen ausgeheizt wurden
- 6.10** : Statistische Auswertung der Formierspannung, SET-Spannung, RESET-Spannung an 800°C-MSQ-Zellen
- 6.11** : Retention-Messung an einer 100 nm x 100 nm Pt/MSQ/Ag-Zelle
- 6.12** : Endurance-Messung an einer 100 nm x 100 nm Pt/MSQ/Ag-Zelle
- 6.13** : Anzahl der Pulse, die für ein Schaltevent benötigt wurden
- 6.14** : Schnelle Pulsmessungen mit 10 ns Pulsen
- 6.15** : REM-Aufnahme einer Pt/MSQ/Ag-Wort-Struktur
- 6.16** : Programmierung der Wortstruktur
- 6.17** : Parasitärer Spannungspfad in einem 2 x 2 bit Array
- 7.1** : Mehrlagen-Crossbar-Arrays
- 7.2** : Zerstörung der Ag-Top-Elektrode durch Temperaturbehandlung
- 7.3** : Resistives Schalten einer Ag-dotierten Pt/Ag-MSQ/Ag-Zelle
- 7.4** : Herstellung von Pt/Ag-MSQ/Pt-Crossbar-Strukturen
- 7.5** : Resistives Schalten in Pt/Ag-MSQ/Pt-Zellen
- 7.6** : TOF-SIMS-Analyse an verschiedenen Pt/MSQ/Ag-Schichtstapeln
- 7.7** : Resistives Schalten in 3D-Pt/Ag-MSQ/Pt-Crossbar-Strukturen

Abkürzungs- und Symbolverzeichnis

1T1R	: Ein Transistor und ein Widerstand
"	: Zoll
A	: Leiterquerschnitts-Fläche
AFM	: Atomic Force Microscopy
BEOL	: Back-End-Of-Line
CAD	: Computer Aided Design
CAFM	: Conductive Atomic Force Microscopy
CMOS	: Complementary Metal Oxide Semiconductor
DRAM	: Dynamic Random Access Memory
DUV	: Deep Ultra Violet
EMS	: Elektrochemische Metallisierungs-Speicherzelle
FeRAM	: Ferroelectric Random Access Memory
FIB	: Focused Ion Beam
FPGA	: Field Programmable Gate Array
FTIR	: Fourier Transformations IR Spektroskopie
HSQ	: Hydrogen-Silsesquioxan
I_B	: Beam Current (Ionenstrahl-Strom)
IC	: Integrated Circuit
ITRS	: International Technology Roadmap for Semiconductors
k_l	: Technologie Konstante (0.5 – 0.9)
l	: Leitungslänge
mbar	: Millibar
M_c	: Kritisches Molekulargewicht
MIM	: Metall Isolator Metall
MRAM	: Magnetic Random Access Memory
MSQ	: Methyl-Silsesquioxan (Spin-On Glass)

M_w	: Molekulargewicht
NIL	: Nanoimprint-Lithographie
PCRAM	: Phase Change Random Access Memory
PMMA	: Polymethylmethacrylat - $C_5H_8O_2$ (thermoplastischer Kunststoff)
P_{RF}	: RF-Power der Ionenquelle
PS	: Polystyrol - C_8H_8
$R_{Elektrode}$: Leitungswiderstand
REM	: Rasterelektronenmikroskop
RESET	: Ausschalten: $1 \rightarrow 0$
RIBE	: Reactive Ion Beam Etching
RIE	: Reactive Ion Etching
R_{OFF}	: OFF-Widerstand (hochohmig)
R_{ON}	: ON-Widerstand (niederohmig)
rpm	: Rounds per Minute (Drehzahl)
rpm/s	: Rounds per Minute per Second (Beschleunigung)
RRAM	: Resistive Random Access Memory
$sccm$: Standard Cubic Centimeter per Minute
SET	: Einschalten: $0 \rightarrow 1$
SFIL	: Step and Flash Imprint Lithography
T_g	: Glasübergangstemperatur
TOF-SIMS	: Time of Flight - Secondary Ion Mass Spectroscopy
U_A	: Acceleration Voltage
U_B	: Beam Voltage
U_{ext}	: Extraction Voltage der Ionen aus der Quelle
UV-NIL	: Ultra Violet Nanoimprint-Lithographie
XRR	: X-Ray Reflektion
γ	: Energieaustausch
κ	: Leitfähigkeit
κ	: Elektrische Leitfähigkeit
λ	: Wellenlänge

1 Einleitung

Die Datenspeicherentwicklung der letzten Jahrzehnte war durch die stetig zunehmende Miniaturisierung von Halbleiterbauelementen geprägt. Der wachsende Anspruch an die Herstellungstechnologie zur Realisierung von Strukturen bis in den sub-100 nm-Bereich trieb die Entwicklung neuartiger Strukturierungsverfahren voran. Dabei war und ist das Auflösungsvermögen von Lithographieprozessen, welche zur Definition lateraler Strukturgrößen eingesetzt werden, von großer Bedeutung.

Die Steigerung der Performance optischer Lithographieverfahren wurde maßgeblich durch die Weiterentwicklung von Lichtquellen und optischen Systemen bestimmt. Komplexe Linsen- und Spiegelanordnungen sowie die Verwendung monochromatischen Lichts machen es heutzutage möglich, Transistoren mit Gatelängen von 45 nm kommerziell zu fertigen. Doch bringen jene hochkomplexen Lithographieverfahren zugleich enorme Kosten mit sich, welche auch bei der Weiterentwicklung optischer Systeme eher steigen. Abhilfe können alternative Strukturierungsmethoden schaffen.

Die Nanoimprint-Lithographie, ein Stempelverfahren, in welchem durch mechanische Deformation von speziellen Lacken eine Strukturübertragung auf den Substrat-Wafer stattfindet, wird oft als Prinzip der Zukunft angesehen. Das Potential der Herstellung von Strukturen im sub-10 nm-Bereich mit hohem Durchsatz und vor allem der wirtschaftliche Vorteil gegenüber optischen Verfahren – es werden keine komplexen Linsen oder ähnliches benötigt – verschaffen der Nanoimprint-Lithographie ihre enorme Attraktivität.

Neben dem Vorantreiben der Herstellungstechnologien bildet die Weiterentwicklung von Speichermaterialien und -konzepten eine wesentliche Säule gegenwärtiger Forschungsaktivitäten. Dabei ist nicht nur die Erweiterung CMOS-basierter Architekturen, sondern gleichermaßen die Realisierung neuartiger Speicherkonzepte, welche auf anderen, physikalischen Prinzipien beruhen, von großem Interesse.

Derzeitige Speicherbauteile, die auf DRAM- oder Flash-Technologie basieren, stoßen mit fortschreitender Miniaturisierung an ihre physikalischen Grenzen. Die Entwicklung gut skalierbarer resistiver Speicher, kurz RRAM, gewinnt damit zunehmend an Bedeutung. Der Kern des RRAM besteht aus einem Material, welches zwischen zwei nichtflüchtigen Widerstandszuständen durch das Anlegen elektrischer Spannungen (resistiv) geschaltet werden kann. Diesen Widerstandszuständen werden die logischen

Werte „1“ und „0“ zugeordnet, wodurch ein binärer Speicher entsteht.

Das große Potential des RRAM liegt in dessen Skalierbarkeit sowie der geringen Leistungsaufnahme. Es können demzufolge sehr kleine Bauelemente (< 20 nm) mit niedrigem Verbrauch realisiert werden. Ferner besteht die Möglichkeit, resistive Speicherelemente in Crossbar-Array-Architekturen anzuordnen, welche eine hohe Integrationsdichte sowie Defekttoleranz bieten.

Durch die Kombination neuer Herstellungs- und Speichertechnologien wird die Fortsetzung der rasanten Speicherentwicklung letzter Jahrzehnte vorstellbar.

Das Ziel dieser Arbeit ist es, eine Technologieplattform auf Basis der Nanoimprint-Lithographie zu entwickeln, mit der resistive Speicherkonzepte umgesetzt werden können. Dabei liegt der Fokus zunächst auf der Herstellung von Crossbar-Strukturen, die für die Integration sämtlicher resistiv schaltender Materialien geeignet sind. Ein weiteres Ziel ist die Charakterisierung resistiv schaltender Zellen in Hinblick auf die Anwendung als Speicherbauteile.

Die Arbeit gliedert sich in acht Kapitel, wobei die beiden folgenden auf die Lithographie- und Speicherentwicklung der letzten Jahrzehnte sowie die Grundlagen des RRAM eingehen.

Kapitel vier beschreibt die Entwicklung der verwendeten Herstellungstechnologien. Der Fokus ist hierbei auf die Einführung einer (in Jülich) neuen Imprint-Lithographie zur lateralen Strukturierung und auf die Erweiterung von Trockenätzverfahren für die vertikale Strukturierung gerichtet.

Kapitel fünf beschreibt die Herstellung von Crossbar-Architekturen, welche im Wesentlichen die Realisierung von Bottom- und Top-Elektroden sowie einer Alignment-Prozedur für das Ausrichten mehrerer vertikal geschichteter Strukturen umschließt.

Kapitel sechs umfasst die Integration und die elektrische Charakterisierung von resistiv schaltendem Methyl-Silsesquioxan (MSQ) in Kombination mit Silber auf Basis der entwickelten Crossbar-Plattform. Es wird die Performance des neu entdeckten Materialsystems in Hinblick auf die Anwendung als zukünftiges Speichersystem untersucht.

In Kapitel sieben wird ein Mehrlagen-Konzept vorgestellt, welches die Grundlage zur Steigerung der Integrationsdichte Crossbar-basierter Architekturen bietet. Es wird ein dreidimensionales Speicher-Konzept gezeigt, welches die vertikale Schichtung von Ag-MSQ-Zellen umfasst.

In Kapitel acht werden die erzielten Ergebnisse der Arbeit abschließend zusammengefasst und ein Ausblick auf zukünftige Arbeiten gegeben.

2 Die Entwicklung der Speichertechnologie

CMOS der Schlüsselbegriff der letzten Jahrzehnte im Bereich Speichertechnologie. Die Technologie der Complementary Metal Oxide Semiconductors begann im Jahr 1945 mit der Realisierung des ersten Transistors durch die Wissenschaftler William Shockley, John Bardeen und Walter Brattain [1]. Schnell wurden nachfolgende Modelle entwickelt, sodass im Jahr 1971 der erste integrierte Schaltkreis (IC) mit 2300 Transistoren von der Firma Intel kommerziell und in Serie gefertigt wurde. Der Boom der Halbleiterindustrie begann und mit ihm die Verfolgung der Gesetzmäßigkeiten von Gordon Earl Moore.

2.1 Die Halbleitertechnologie

Gordon E. Moore formulierte 1965 die erste Fassung des Mooreschen Gesetzes, welches eine jährliche Verdopplung der Komplexität integrierter Schaltkreise beschrieb [2]. Die Komplexität definierte er als Anzahl der Schaltkreiskomponenten pro Computerchip. 1975 korrigierte Moore seine erste Aussage und sprach auf dem „International Electron Device Meeting“ von einer zweijährlichen Verdopplung der Komplexität [3]. Nach heutiger Vorstellung wird das Mooresche Gesetz ausgelegt als achtzehnmonatige Verdopplung der Anzahl an Transistoren pro Chip und gilt eher als eine Faustregel als ein wissenschaftliches Naturgesetz.

Die Jahrzehnte währende Verdichtung der Speicherintegration brachte vor allem eine stetig wachsende Komplexität der Herstellungsprozesse von Computerchips mit sich. Es wurden Technologien entwickelt und jährlich verbessert, sodass heutzutage Strukturgrößen von bis zu 45 nm erreicht werden, womit integrierte Schaltkreise mit einer Anzahl von einer Milliarde Transistoren kommerziell gefertigt werden können [4]. Die Herstellungsprozesse derartig hochintegrierter Bauelemente finden in absolut partikelfreier Umgebung, in Reinräumen statt. Es wird eine Vielzahl an Prozessschritten benötigt, um aus einer Siliziumscheibe (Wafer) einen Prozessor oder einen Speicher zu generieren. Dabei werden hauptsächlich Strukturierungs-, Übertragungs- und Abscheideverfahren eingesetzt. Die laterale Auflösung der zu realisierenden Transistoren wird dabei maßgeblich von der Güte des verwendeten Lithographie-Prozesses bestimmt [5]. Die Weiterentwicklung der Lithographieverfahren ist somit die Schlüsselaufgabe der Halbleiterindustrie, um die Gesetzmäßigkeit von Gordon E. Moore einzuhalten.

2.1.1 Lithographieentwicklung

Die Lithographieentwicklung begann in den 1960ern mit der optischen Kontaktlithographie. Hierbei werden UV-Lichtquellen und strukturierte Glasmasken verwendet, um photosensitive Lacke definiert zu belichten. Die heutigen Belichtungsverfahren benötigen hochentwickelte, kurzwellige Lichtquellen mit komplexen Linsen- und Spiegelsystemen, um Strukturauflösungen im Nanometerbereich zu realisieren. Alternativen bieten Direktschreibverfahren mittels Elektronen- oder Ionenstrahlen und Prägeverfahren, die Nanostrukturen durch mechanische Deformation in speziell entwickelte Polymere übertragen.

Die Auflösungsgrenze der optischen Kontaktlithographie wurde während der industriellen Anwendung und der stetig wachsenden Anforderungen schnell erreicht. Sie wird definiert durch:

$$MFS = \sqrt{d \cdot \lambda} \quad (2.1)$$

MFS : Minimum Feature Size

d : Lackdicke

λ : Wellenlänge

Ein wesentlicher Nachteil der Kontaktlithographie ist die Güteabhängigkeit der Strukturabbildung von der Kontaktqualität zwischen Maske und Photolack. Um die Herausforderung eines adäquaten Kontakts zu umgehen, wurde die Proximity-Lithographie entwickelt, die durch einen Spalt zwischen Maske und Lack eine Auflösung von

$$MFS = \sqrt{(d + g) \cdot \lambda} \quad (2.2)$$

MFS : Minimum Feature Size

d : Lackdicke

g : Spalt zwischen Maske und Lack

λ : Wellenlänge

bietet. Hier wird zwar der kritische Kontakt zwischen Maske und Lack vermieden, doch kann die Auflösung durch den zusätzlichen Abstand g nicht verbessert werden.

Ein weiterentwickeltes Verfahren stellt die Projektions-Lithographie dar, welche ab 1978 in der Halbleitertechnik Einzug hielt. Hier wird über optische Linsen und Spiegel eine Projektionsmaske (Retikel) auf die Oberfläche der zu belichtenden Probe projiziert. Der größte Vorteil dieser Technologie besteht darin, dass die Strukturen auf dem

Retikel größer sein können, als deren Abbildungen auf dem Wafer, da durch die Projektion eine Verkleinerung des Bildes erzielt wird. Die minimale Auflösung, die aus dem Rayleigh-Kriterium unter Berücksichtigung verschiedener Prozesseinflüsse (z.B. Linsenfehler) resultiert, ist gegeben durch [6]:

$$MFS = k_1 \cdot \frac{\lambda}{NA} \quad (2.3)$$

MFS : Minimum Feature Size

k₁ : Technologie Konstante (0.5 – 0.9)

λ : Wellenlänge

NA : Numerische Apertur des optischen Systems

Die Verkleinerung der Strukturen auf dem Wafer schränkt die ganzflächige Belichtung, wie sie bei der Kontaktlithographie geschieht, ein. Ein Stepper-Verfahren wird angewendet, in dem der Wafer unter der Maske auf einem X-Y-Tisch verfährt und rechteckige Teilbereiche (26 mm x 32 mm) seriell auf der Probe belichtet werden [7].

Aus den obigen Gleichungen ist zu erkennen, dass die Auflösung mit der Wellenlänge skaliert. Daraus ist der Trend zu Photoquellen niedrigerer Wellenlängen ersichtlich. Es müssen Komponenten wie Photoquellen, Masken, optische Systeme und Fotolacke in Bezug auf den Wellenlängenbereich optimal aufeinander abgestimmt werden. Dabei sind die Parameter Absorption und Transparenz des optischen Systems wellenlängenabhängig und Materialien zur Linsenherstellung müssen angepasst gewählt werden.

Der Fortschritt der kommerziell eingesetzten Lithographie wurde in den letzten Jahren maßgeblich durch die Verringerung der Wellenlänge von 436 nm bis zu 193 nm erzielt. Die ersten Photoquellen waren Quecksilber-Gasentladungs-Lampen mit einer Wellenlänge von 436 nm. Die heutigen Belichter verfügen über einen ArF-Laser mit einer Wellenlänge von 193 nm. Es wird hierbei von der **Deep Ultra Violet (DUV)** Lithographie gesprochen [8]. Unterhalb der Wellenlänge von 157 nm, die mittels F₂-Laser im Vakuum für Prototypen-Belichter erzeugt wird (**Vacuum Ultra Violet – VUV**), ergibt sich eine große Lücke im Spektrum der verwendbaren Lichtquellen, da sämtliche Masken-, Spiegel- und Linsen-Materialien diesen Wellenlängenbereich absorbieren. Erst ab ~ 13 nm öffnet sich ein neues Fenster der **Extreme Ultra Violet (EUV)** Lithographie [9]. Die EUV-Lithographie wird oft in der Literatur als Technologie der nächsten Generation beschrieben, da Strukturweiten deutlich unter 45 nm aufgelöst werden können. Jedoch bringt auch die EUV-Lithographie die Herausforderung neuartiger, weiterentwickelter Lacke und optischer Systeme mit sich, sodass eine kommerzielle Einführung vor 2012 nicht zu erwarten ist [10].

Wird die Wellenlänge der Photoquellen bis zu ~ 1 nm weiter reduziert, so führt dies zur Verwendung von Röntgenstrahlung und der damit entsprechenden X-Ray-Lithographie. Hierbei können jedoch bislang keine bekannten Materialien für eine Optik genutzt werden.

Zusätzlich zur Verringerung der Lampen-Wellenlängen werden optische Verfahren zur Steigerung der lithographischen Performance eingesetzt. Techniken wie das Phase Shifting oder die Off-Axis Belichtung können die Auflösung durch Verringerung von k_1 (siehe Gleichung (2.3)) steigern [11, 12]. Durch die Verwendung von Wasser in der Immersion-Lithographie wird eine Vergrößerung der Numerischen Apertur NA auf 1,2 \sim 1,3 in heutigen Systemen erzielt [13]. Im Endeffekt wird durch diese optischen Verfahren eine vierfache Verkleinerung der Strukturen von dem Retikel auf dem Wafer erreicht. Dies wird in der Literatur als 4X-Lithographie bezeichnet.

Eine Alternative zur Belichtung mittels photonischer Strahlung bietet die Behandlung sensitiver Lacke mit geladenen Teilchen, also Elektronen oder Ionen. Die Elektronenstrahl- und die Ionenstrahl-Lithographie fallen unter die Kategorie der Direktschreibverfahren, in denen durch elektromagnetische Linsen gebündelte Fokusbündel von bis zu 1 nm realisiert werden [14, 15]. Das Grundprinzip des Belichtens basiert auf denen der Röhrenbildschirme und der Elektronenstrahl-Mikroskope, in denen Strahlen aus geladenen Teilchen mit Hilfe von Ablenkspulen über eine Oberfläche gerastert werden. Zwar bieten diese Verfahren eine äußerst hohe Strukturauflösung, jedoch ist das serielle Schreibverfahren mit enormen Zeitverlusten verknüpft, die den Waferdurchsatz stark senken. Demzufolge werden auch diese Techniken in der industriellen Fertigung von Computerchips keine Anwendung finden. Die Umgehung der bisherigen Nachteile wurde 1995 erstmals von Stephen Y. Chou mit der Vorstellung der Nanoimprint-Lithographie angekündigt [16]. Eine Verknüpfung von Vorteilen der optischen Lithographie und der Direktschreibverfahren - der hohe Durchsatz und die gute Auflösung - sollte durch das entwickelte Prägeverfahren geliefert werden.

2.1.2 Nanoimprint-Lithographie

Die Nanoimprint-Lithographie beruht auf dem Prinzip, durch Abformung eines Stempels in einem Lack, Nanometerstrukturen auf einen Wafer zu übertragen. Dabei wird grundsätzlich zwischen zwei Arten der Imprint-Lithographie unterschieden:

- I) Thermische Nanoimprint-Lithographie
- II) UV-Nanoimprint-Lithographie

Im Fall I) des thermischen Imprints wird ein thermoplastisches Polymer, z.B.

Polymethylmethacrylat (PMMA), auf das zu strukturierende Substrat aufgeschleudert und unter moderater Temperatur ($\sim 100^{\circ}\text{C}$) ausgehärtet (Abbildung 2.1 a). Während des Imprint-Prozesses wird ein Stempel auf das Substrat gedrückt und das PMMA wird über dessen Glasübergangstemperatur aufgeheizt (Abbildung 2.1 b). Das nun fließfähige Polymer kann durch den Stempel unter definiertem Druck strukturiert werden. Anschließend wird das Substrat unter die Glasübergangstemperatur des Polymers abgekühlt, sodass das PMMA härtet und die übertragenen Strukturen erhalten bleiben (Abbildung 2.1 c). Der Stempel kann abschließend von dem Substrat gelöst werden (Abbildung 2.1 d).

Im Fall II) des UV-Imprints wird ein transparenter Stempel benötigt, der UV-lichtdurchlässig ist. Auf das zu strukturierende Substrat wird ein UV-empfindlicher Photolack mit geringer Viskosität aufgetragen (Abbildung 2.1 h). In dem Imprint-Prozess wird der Stempel in den Photolack gepresst, sodass der fließfähige Lack die Form des Stempels annimmt (Abbildung 2.1 i). Anschließend werden die Polymerketten des Photolacks mittels UV-Bestrahlung durch den transparenten Stempel vernetzt (Abbildung 2.1 j). Der Lack härtet. In einem abschließenden Schritt werden Substrat und Stempel voneinander separiert (Abbildung 2.1 k).

Um die Strukturen des Lacks auf das Substrat übertragen zu können, muss (sowohl in Fall I als auch in Fall II) Restlack innerhalb von Gräben entfernt werden. Der so genannte Residual-Layer wird in einem Plasmaverfahren (breakthrough etch) weggeätzt (Abbildung 2.1 e, l). Die Teilflächen auf dem Substrat, in die Strukturen übertragen werden sollen, sind somit geöffnet. Die restlichen Teilflächen, welche unbehandelt bleiben müssen, sind durch den Lack geschützt. Das Substrat kann nun beispielsweise in einem Trockenätzprozess strukturiert werden (Abbildung 2.1 f, m). Nach der Strukturierung des Substrats werden die Lackreste von dem Wafer entfernt (Abbildung 2.1 g, n). Dies kann sowohl trockenchemisch, durch die Verwendung reaktiver Gasgemische (Sauerstoff, Chlor, Fluor) in Plasmaverfahren, als auch nasschemisch, mittels reaktiver Lösungen (Aceton, Säuren), geschehen.

Die Imprint-Technologie besticht durch ihre Einfachheit, einen Stempel in einen Lack zu pressen und somit die Stempelstrukturen in diesen Lack nanometergenau und vor allem schnell übertragen zu können. Zusätzlich bietet das Verfahren prinzipiell eine enorme Kostensenkung, da keinerlei aufwendige Optiken oder teure Lichtquellen benötigt werden.

Doch birgt das neuartige Verfahren für die industrielle Halbleiterfertigung auch Risiken. Studien, die auf der Basis einer Vielzahl an Messungen zur statistischen Auswertung beruhen, sind derzeit noch eher selten, für die Industrie aber unverzichtbar, da eine Umstellung der gesamten Lithographie-Linie mit enormen Kosten verbunden ist [17].

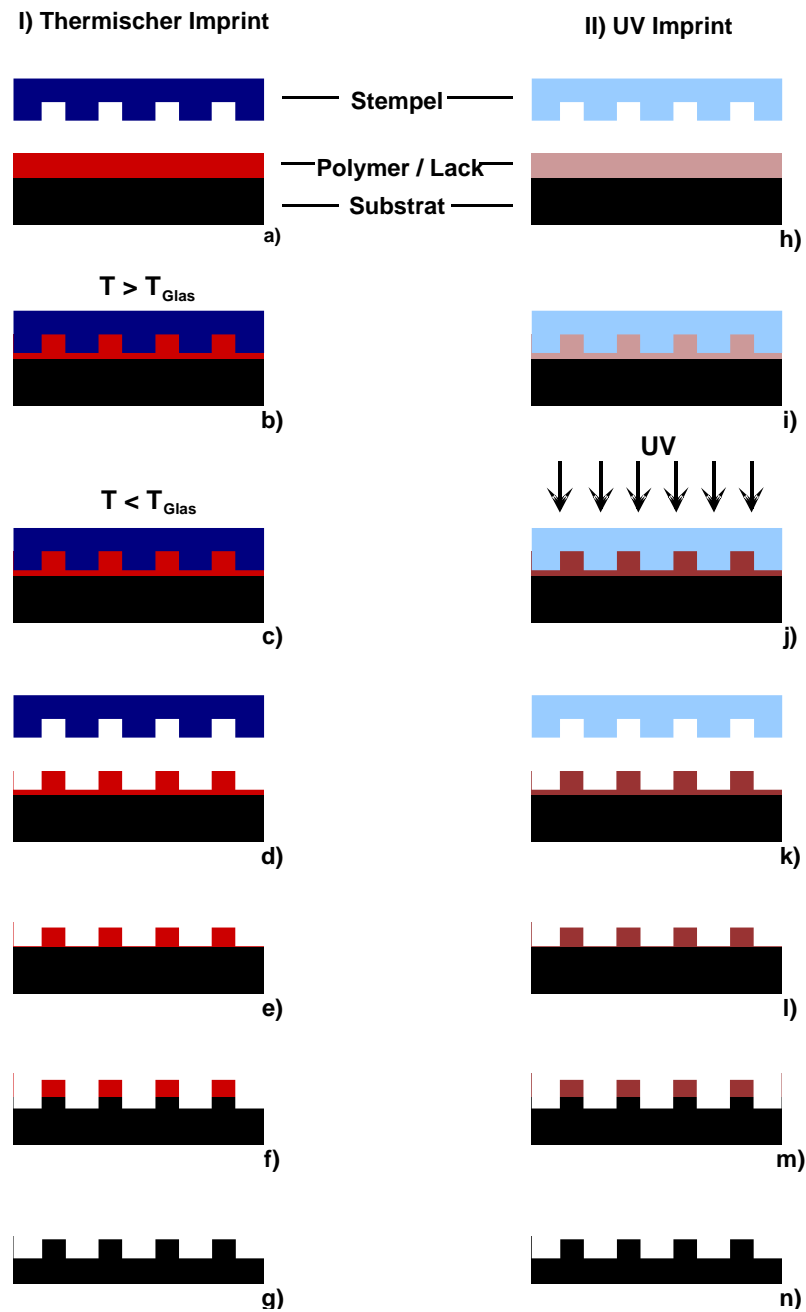


Abbildung 2.1: Gegenüberstellung des Thermischen Imprints und des UV-Imprints.

Parameter wie die Lebensdauer der Stempel, die Langzeitstabilität des Prozesses oder die Durchsatzqualität sind derzeit noch nicht ausreichend abschätzbar für die großflächige Einführung der Nanoimprint-Lithographie auf dem Halbleitermarkt [18]. Unternehmen wie Molecular Imprints Inc. stützen derzeit ihre Forschung immer mehr darauf, genau diese Wissenslücken bezüglich der Zuverlässigkeit zu füllen [19]. Auch in Zusammenarbeit mit Firmen der Halbleitersparte, wie Samsung, Toshiba und IBM, werden Studien (u.a. für die Herstellung von 22 nm CMOS-Bauteilen der nächsten Generation) angelegt um Risiken einstufen zu können [20-22]. Dabei überzeugt vor allem die grundlegende Performance des Nanoimprints.

Bisherige Forschungsarbeiten haben gezeigt, dass eine Strukturauflösung von 5 nm mit der Nanoimprint-Lithographie erzielt werden kann [23]. Dabei ist die Auflösungsgrenze lediglich durch die Strukturweiten auf dem Stempel bzw. beim Skalieren in den Nanometerbereich voraussichtlich durch die Beschaffenheit der Polymerketten des Lacks bestimmt.

Wissenschaftler von Hewlett-Packard zeigten 2008 die erfolgreiche Integration der Nanoimprint-Lithographie in die CMOS-Back-End Linie [24]. Es wurden dabei Strukturen einer neuartigen Speichertechnologie von einer Linienbreite von bis zu 5 nm auf einem CMOS basierten Chip realisiert. Hierdurch war auch die Realisierbarkeit eines erfolgreichen Prozesses auf vorstrukturierten Wafern erwiesen.

Um derartige Mehrlagen-Konzepte zu verfolgen, bedarf es einer sehr genauen Justage (Alignment) einzelner Schichten zueinander. In diesem Zusammenhang wurde eine Alignment-Präzision von unter 20 nm mit Hilfe von Moiré-Interferenz-Strukturen gezeigt, welches durchaus an die Genauigkeit heutiger Verfahren grenzt, wodurch der Imprint konkurrenzfähig bleibt [25]. Die Herausforderung des Alignments liegt bei der Ablage des Stempels auf dem Wafer, da hierbei Verschiebungen durch mechanisch wirkende Kräfte auftreten können.

Um den Durchsatz an Wafern abschätzen zu können, werden Forschungsarbeiten auf dem Gebiet der Fließfähigkeit von Imprint-Lacken untersucht [26 – 28]. Die Geschwindigkeit des Lackflusses bestimmt dabei maßgeblich die Gesamtzeit, die ein Imprint-Prozess während der Produktion einnimmt. Dabei haben die Dimensionen der abzubildenden Strukturen (Höhe, Breite und Länge) sowie die Lackviskositäten und -dicken großen Einfluss auf die Imprint-Zeit. Es wurde gezeigt, dass sehr kleine Strukturen (75 nm Linienweite) binnen weniger Sekunden gedruckt werden können, welches dem Ziel hoher Durchsätze (> 10 Wafer pro Stunde) bereits sehr nahe kommt.

Weitere Untersuchungen befassen sich mit Defektanalysen (z.B. durch Partikel) [29], Materialien zur Stempel-Beschichtung [30] oder der Frage nach alternativen Stempelmaterialien zur Kostenreduzierung [31, 32]. Diese Studien helfen insbesondere bei der Kostenabschätzung für die industrielle Einführung der Imprint-Technologie.

Das Interesse am Forschungsfeld zur Nanoimprint-Lithographie wächst stetig, was auch an der Vielzahl der Beiträge großer Technologiekonferenzen (z. B. der 34th *International Conference on Micro and Nano Engineering 2008*) zu erkennen ist [33, 34]. Doch der Boom ist anhand der oben aufgezeigten Fakten durchaus berechtigt. Allerdings ist davon auszugehen, dass die Imprint-Technologie zunächst beispielsweise in der Herstellung von photonischen oder optischen Komponenten und in Feldern der Chemie und Biologie eingesetzt wird [35]. Der Einsatz zur Fertigung von hochintegrierten Prozessoren und Speicherchips bedarf hingegen noch ein wenig mehr Erfahrung. Allerdings wird auch hier die Nanoimprint-Lithographie durchaus als Prozess-Technologie der nächsten Generation eingeplant. Die *International Technology Roadmap for Semiconductors* (ITRS) beschreibt die Einführung der Imprint-Technologie für die Technologieknoten der nächsten Dekade (siehe Abbildung 2.2) [36]. Somit wächst die Wahrscheinlichkeit auch Speicherchips (in Abbildung 2.2 Flash oder DRAM) zukünftig mit Nanoimprint-Lithographie herzustellen.

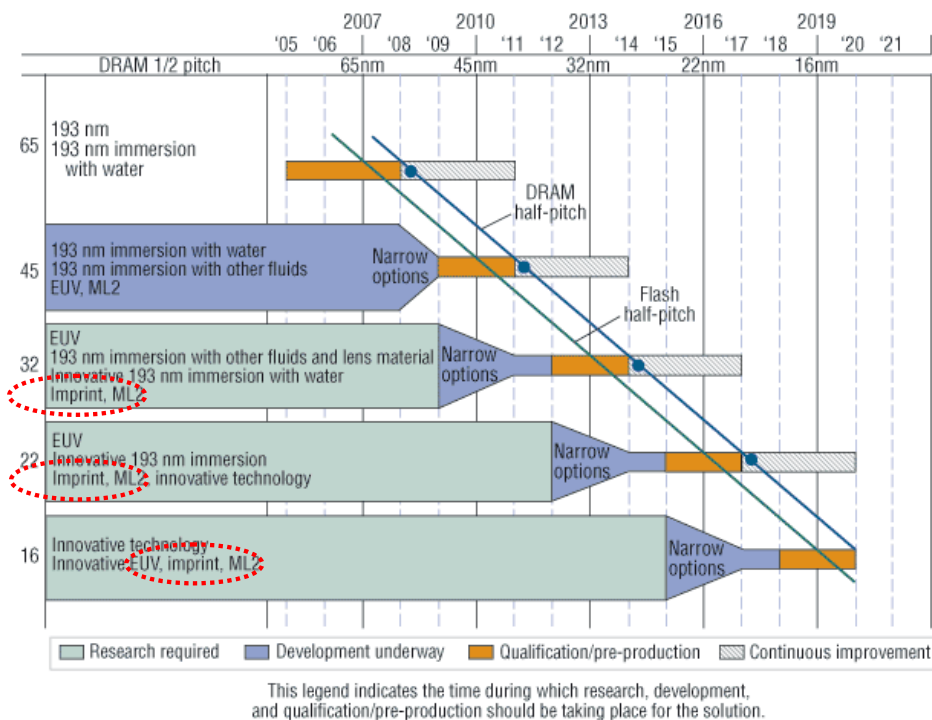


Abbildung 2.2: Auszug aus der ITRS-Roadmap [37].

2.2 Speicherkonzepte von Heute und Morgen

Der stetig wachsende Anspruch an die Performance von Speicherchips treibt die Entwicklung neuartiger Technologien und Konzepte an. Dabei ist nicht nur die Verdichtung der Integration durch Miniaturisierung (u.a. aus Kostengründen) entscheidend (Abbildung 2.2), sondern auch die Entwicklung neuartiger Speicherkonzepte, deren physikalisches Wirkungsprinzip sich von den Prinzipien heutiger CMOS-Technologien unterscheidet. Das physikalische Limit der MOS-Transistoren ist bald erreicht, da Effekte, wie das Tunneln von Ladungsträgern durch den Drain-Source-Kanal, bei fortwährender Miniaturisierung von CMOS-Bauelementen problematischer werden.

Die heutigen Speicherkonzepte basieren hauptsächlich auf dem **Dynamic Random Access Memory (DRAM)** und Flash [38, 39]. Die Abbildungen 2.3 und 2.4 zeigen den prinzipiellen Aufbau beider Speichertypen.

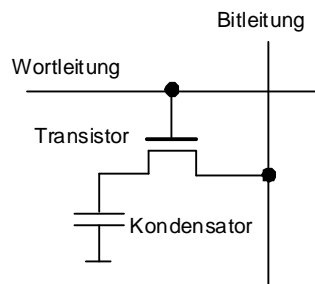


Abbildung 2.3: Prinzipdarstellung einer DRAM – Speichereinheit

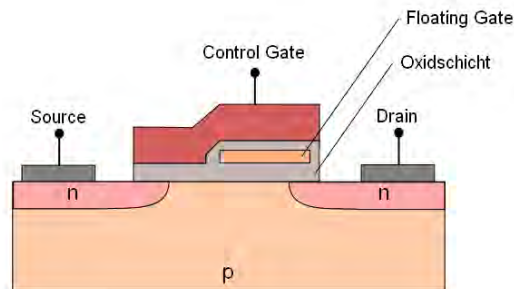


Abbildung 2.4: Prinzipdarstellung einer Flash-Speichereinheit (www.chip.de)

DRAM besteht aus einem Transistor und einem Kondensator, dessen Ladezustände logischen Zuständen „1“ und „0“ zugeordnet werden. Die Zustände sind flüchtig, da der Kondensator stets zum Entladen neigt, und müssen mit der Versorgungsspannung des Systems aufrechterhalten werden. Der Vorteil der DRAM-Technologie ist durch die extrem hohe Schreib-/Lesegeschwindigkeit und die lange Lebensdauer gegeben. Allerdings wirkt sich neben der Flüchtigkeit des Speichers die begrenzte Miniaturisierbarkeit bzw. Skalierbarkeit durch den kapazitiven Speichermechanismus eher als Nachteil aus.

Flash hingegen bietet ein großes Skalierungspotential und nicht-flüchtige Speicherzustände. Das Prinzip basiert auf einer Floating-Gate-Architektur, bei der Ladungen, die auf das zusätzliche Floating-Gate eines Feldeffekt-Transistors aufgebracht oder davon entfernt werden, den Speicherzustand bestimmen. Zusätzliche Ladungen auf dem Gate verschieben die Schwellspannung des Transistors und somit dessen Kennliniencharakteristik. Diese Eigenschaft wird als Speicherinformation genutzt. Hinzu können durch unterschiedliche Ladungsmengen auf dem Floating-Gate mehrere Speicherzustände erreicht werden. Das Bauteil verändert sich dann von einem binären Speicher zu einem Multi-Bit-System, welches das Potential einer hohen Integrationsdichte enorm steigert, da zusätzliche Speicherzustände je physikalischer Zelle auftreten. Die Nachteile des Flash liegen in der relativ (zu DRAM) langsamen Schreib-/Lesegeschwindigkeit und der begrenzten Lebensdauer der Bauelemente. Demzufolge sind Flash-Bauteile heute hauptsächlich in USB-Sticks, Speicherkarten oder MP3-Playern zu finden, die preisgünstig sind und sich zur portablen, mobilen Anwendung eignen.

Die Generation der zukünftigen Speichertechnologie wird durch Konzepte wie **Magnetic-RAM (MRAM)**, **Ferroelectric-RAM (FeRAM)**, **Phase Change-RAM (PCRAM)** und **Resistive-RAM (RRAM)** geprägt [40-43].

Die MRAM nutzen magnetische Materialien und deren hysteretisches Verhalten zur Datenspeicherung. Phänomene wie der **Giant Magneto Resistance (GMR)** – Effekt beschreiben eine Widerstandsänderung von Materialschichtsystemen unter dem Einfluss spezifischer magnetischer Felder [44]. Die Widerstandsänderung kann somit als Datenspeicherung genutzt werden. FeRAM basieren auf ähnlichem, hystertischem Prinzip wie die MRAM, nur wird hier die Polarisations-Hysterese der Ferroelektrika ausgenutzt. Wird eine Kondensatorkonfiguration gewählt, so können die Polarisationsrichtungen des Ferroelektrikums eine Speicherinformation, entsprechend „1“ oder „0“, enthalten. MRAM benötigt Ströme im Milliampere-Bereich, was die Leistungsaufnahme der Speicherzellen als eher unattraktiv gestaltet. Der Nachteil der FeRAM ist deren begrenzte Skalierbarkeit.

PCRAM und RRAM implizieren dagegen gute Voraussetzungen für die Umsetzung als Speicherbaustein. Das Prinzip des PCRAM basiert auf der Eigenschaft von Chalkogeniden, welche durch die Verwendung spezifischer Ströme ihre Phase von amorph zu kristallin (bzw. von kristallin zu amorph) wechseln. Eine amorphe Phase bietet dabei einen hohen, eine kristalline Phase einen niedrigen Leitungswiderstand. Die unterschiedlichen Widerstände werden den logischen Werten „0“ und „1“ zugeordnet. Durch Strompulse wird das Material definiert aufgeheizt und abgekühlt, wodurch die unterschiedlichen Phasen entstehen. Die amorphe Phase wird durch das Aufheizen über die Schmelztemperatur und rasches Abkühlen unter die Glasübergangs-Temperatur

erzeugt (RESET $1 \rightarrow 0$). Die kristalline Phase entsteht, wenn Chalkogenide auf eine Temperatur zwischen Glasübergangs- und Schmelztemperatur aufgeheizt werden (SET $0 \rightarrow 1$). Die Schreibzeiten der unterschiedlichen Phasen befinden sich zwischen 100 ns und 300 ns. Ein Schreibschema ist in Abbildung 2.5 dargestellt. Die Ströme, die zum Schreiben der Zustände benötigt werden, liegen im Milliampere-Bereich, was sich für die Leistungsaufnahme der Bauelemente nachteilig auswirkt. Positiv ist hingegen die Eigenschaft der Skalierbarkeit von PCRAM, welche die Herstellung von Speicherbauteilen der zukünftigen Technologieknoten (< 32 nm) zulässt [42].

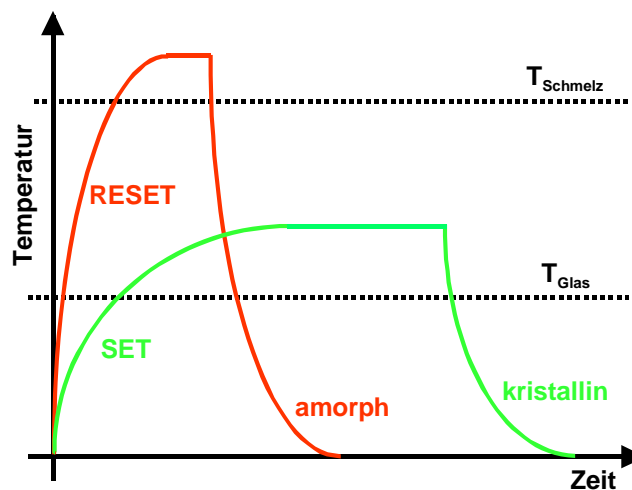


Abbildung 2.5: Schreibschema eines PCRAM.

RRAM können durch die Verwendung einer Vielzahl an Materialien realisiert werden. Sowohl chalkogenide Gläser als auch binäre und ternäre Oxide werden in Kondensator-Strukturen integriert, um resistiv schaltende Elemente herzustellen [45 - 47]. Der Kondensator wird durch anlegen adäquater Spannungen zwischen zwei Widerstandszuständen geschaltet. Die Speicherzustände sind nicht-flüchtig und können (bei einigen Materialien) innerhalb weniger Nanosekunden geschrieben werden. Außerdem zeigen einige der resisitiven Materialien Multi-Bit-Eigenschaften, welches sich vorteilhaft auf die Integrationsdichte auswirkt. RRAM ist skalierbar und dementsprechend zu den anderen Konzepten nächster Technologieknoten konkurrenzfähig. Die Grundlagen des resistiven Schaltens werden im folgenden Kapitel

ausführlich diskutiert.

Neben den Speicherentwürfen, welche bereits innerhalb der nächsten Jahre in Anwendungen zu finden sein könnten, existieren die Konzepte der „übernächsten“ Speichergeneration. Deren Basis stellen Forschungsfelder dar wie das der Spintronics, bei denen der Spin einzelner Elektronen als Informationsspeicher dient, der Molekularelektronik, bei der funktionale Moleküle elektronische Bauteile ersetzen, oder der Carbon-Nanotubes sowie der Graphen-Feldeffekt-Transistoren, bei denen die besonderen elektronischen Leitungseigenschaften von Kohlenstoff ausgenutzt werden [48 – 51].

3 Resistives Schalten

Resistiv schaltende Materialien gewinnen immer mehr an Bedeutung für die Entwicklung neuartiger Speichertechnologien. Sie bieten vielerlei Vorteile (siehe Kapitel 2), die durchaus mit den heutigen CMOS-basierten Speichern konkurrieren können [52].

Für die Anwendung werden RRAM in Kondensatoranordnungen realisiert, deren Widerstände durch Anlegen elektrischer Spannungen von hochohmig zu niederohmig (bzw. umgekehrt) geschaltet werden können (siehe Abbildung 3.1). Die Widerstandszustände werden logischen Zuständen (0 = OFF, 1 = ON) zugeordnet. Es wird in diesem Zusammenhang auch vom SET (entspricht dem Einschalten: $0 \rightarrow 1$) und RESET (entspricht dem Ausschalten: $1 \rightarrow 0$) gesprochen.

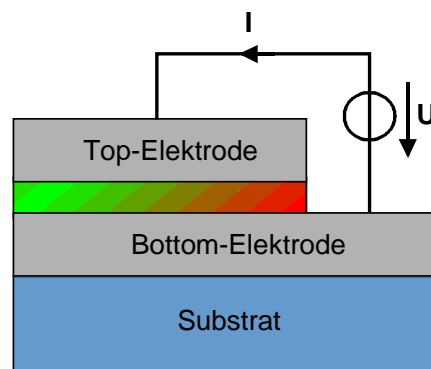


Abbildung 3.1: Kondensatoraufbau einer resistiv schaltenden Zelle:

- Zelle im ON-Zustand (niederohmig),
- Zelle im OFF-Zustand (hochohmig).

Generell wird zwischen zwei Arten des Schaltens unterschieden, dem unipolaren Schalten und dem bipolaren Schalten (siehe Abbildung 3.2). Beim unipolaren Schalten genügt eine Spannungspolarität für den SET und den RESET der Zelle (Abbildung 3.2 a), da der Schaltvorgang unabhängig von der Spannungsrichtung ist. Es kann also sowohl mit nur positiver als auch mit nur negativer Spannung ein- und

ausgeschaltet werden. Dabei wird die Schaltrichtung (SET oder RESET) durch den maximal zulässigen Strom durch die Zelle festgelegt. Für das Einschalten der Speicherzelle muss der Strom durch die Zelle limitiert werden, da die Zelle durch hohe Ströme zerstört werden kann, oder direkt wieder ausgeschaltet wird. Befindet sich die Zelle initial im OFF-Zustand, so wird die Spannung erhöht bis der Strom bei einer definierten Schaltspannung (SET-Spannung) sprunghaft ansteigt und somit ein niederohmiger Widerstand der Zelle erreicht ist. Beim Ausschalten der Speicherzelle wird der Strom nicht limitiert, so dass hier stets höhere Ströme auftreten als beim Einschalten. Im ON-Zustand wird die Spannung in gleicher Richtung erhöht, bis der Strom bei der RESET-Spannung einbricht und der hochohmige Zustand erreicht ist. Die hohen Ströme des RESET treten auf, da es sich beim unipolaren Schalten in den meisten Fällen um einen thermisch aktivierten Prozess handelt [53].

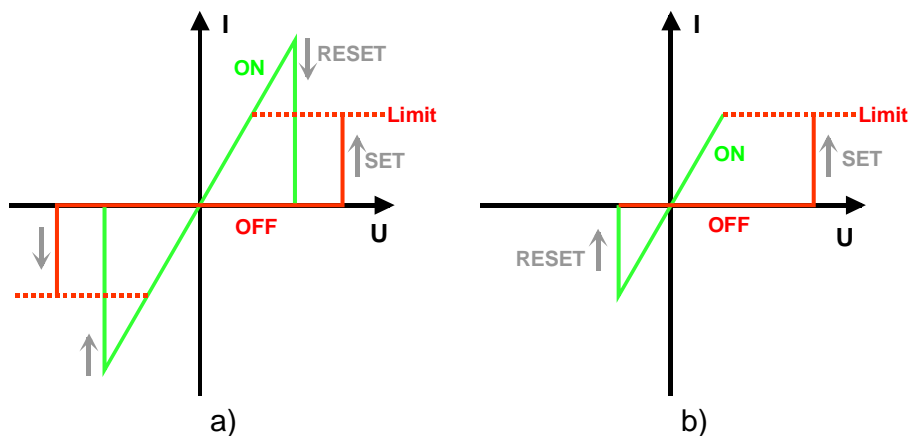


Abbildung 3.2: Schaltverhalten von resistiven Materialien: a) I(V)-Kennlinie des unipolaren Schaltens, b) I(V)-Kennlinie des bipolaren Schaltens. Die gestrichelte Linie kennzeichnet die Limitierung des zulässigen Maximal-Stroms durch die Zelle.

Beim bipolaren Schalten wird die Speicherzelle mit einer Spannungspolarität eingeschaltet und mit der anderen Polarität ausgeschaltet (Abbildung 3.2 b). Auch hier muss der Strom beim Einschalten limitiert werden, sodass die Speicherzelle bei sprunghaften Stromerhöhungen nicht zerstört wird. Ausgehend vom initialen OFF-Zustand wird die Spannung erhöht bis der Strom mit Erreichen der SET-Spannung zunimmt und der niederohmige Widerstand der Zelle erreicht ist. Für den RESET wird die Polarität der Spannung geändert. Der Strom verringert sich mit der RESET-

Spannung bis der hochohmige Zustand wieder erreicht ist.

In beiden Verfahren können die ON- und OFF-Zustände mit Spannungen kleiner der Schaltspannung zerstörungsfrei gelesen werden. Ferner sind beide Widerstands-Zustände nichtflüchtig.

Die Mechanismen, welche das resistive Schalten hervorrufen, sind materialabhängig und bis heute zum Teil nicht vollständig verstanden. Es ist jedoch davon auszugehen, dass sich durch das Auftreten elektrischer Felder im Kondensator-Bauelement hochleitende, filamentäre Pfade ausbilden, die durch thermische oder elektrochemische Prozesse reversibel wieder zerstört werden können [52].

3.1 Materialien und Mechanismen

Eine Vielzahl an Materialien zeigt resistives Schalten. Es wurden vor allem in den letzten Jahren chalkogenide Gläser, oxidische Materialien und Moleküle auf resistives Schalten hin untersucht. Dabei sind die auftretenden Schaltmechanismen abhängig von den im Material vorkommenden Elementen.

Bereits im Zeitraum von 1960 bis 1980 wurde das Phänomen des resistiven Schaltens in einigen Materialien entdeckt und untersucht [54 - 57]. In den späten 1990ern wurde die Forschung auf dem Gebiet der schaltenden Materialien hauptsächlich von Asamitsu et al., Beck et al. und Kozicki et al., insbesondere mit Fokus auf die Anwendung als Speicher, vorangetrieben [58 – 60].

Die Modelle zur Beschreibung des Schaltmechanismus der Materialien, die für diese Arbeit relevant sind, beruhen auf dem Prinzip des feldgetriebenen Transports von Ionen. Dabei wird zwischen zwei Mechanismen unterschieden:

I) Der Redoxprozess durch Anion-Migration

II) Der Redoxprozess durch Kation-Migration

Fall I der Anion-Migration findet in binären und ternären Oxiden statt (z.B. TiO_2 , NiO , SrTiO_3 [61 - 64]). In diesen Oxiden, und insbesondere in Übergangsmetall-Oxiden, sind Anionen, welche durch Sauerstoffleerstellen auftreten, wesentlich mobiler als Kationen. Resistiv schaltende Zellen werden hier durch vertikal aufgebaute Metall/Isolator/Metall (MIM) - Strukturen mit Elektroden aus inerten Metallen (Pt) realisiert (siehe Abbildung 3.3). Der MIM-Kondensator befindet sich initial in einem hochohmigen Zustand aufgrund des hochgradig isolierenden Oxids (Abbildung 3.3 a). Durch anlegen einer elektrischen (positiven) Spannung wird an der unteren Elektrode eine sauerstoffarme Zone gebildet (Abbildung 3.3 b). Dieser Prozess wird Formierung genannt. Er variiert dabei mit unterschiedlichen Materialkompositionen und der

Beschaffenheit des Isolators. Makroskopische Einkristalle benötigen z. B. einige 100 V, um in einer Zeitspanne von mehreren Stunden formiert zu werden, wohingegen bei Dünnschichten schon einige Volt ausreichen können, um die sauerstoffverarmte Zone in einer geringeren Zeit zu bilden [52]. Zum Teil wird der Formierungsprozess auch durch Konstantstromverfahren eingeleitet [65].

Die sauerstoffarme Zone wird ferner als virtuelle Kathode bezeichnet, da das oxidische Material durch die Abgabe von Sauerstoff metallisch leitend wird (Reduktion) und somit Bottom-Elektrode und sauerstoffverarmte Zone bei Anlegen einer Spannung das gleiche Potential tragen.

Der Formierungsprozess wird vollendet, indem die Verarmungszone durch die angelegte Spannung in Richtung der Anode (hier nach oben) getrieben wird (Abbildung 3.3 c). An der Anode findet dann eine Oxidation statt, sodass eine elektrische Verbindung mit der virtuellen Kathode entsteht. Ein metallisch leitender Pfad hat sich somit durch den gesamten Isolator gebildet und diesen kurzgeschlossen. Die MIM-Zelle befindet sich damit im niederohmigen ON-Zustand.

Die Zelle kann nach dem Formierungsprozess reversibel geschaltet werden. Wird die Polarität der Spannung invertiert, so bildet sich das Filament zurück und die Zelle schaltet erneut in einen hochohmigen Zustand. Es handelt sich also um einen bipolaren Schaltvorgang.

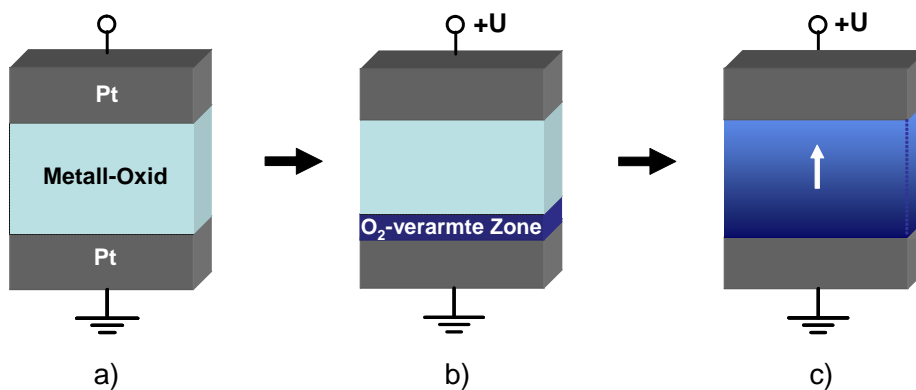


Abbildung 3.3: Resistives Schalten in Metall-Oxiden: a) Initial hoch isolierende MIM-Zelle, b) Formierung einer sauerstoffarmen Zone an der Kathode durch Anlegen einer Formierungsspannung, c) Spannungsgetriebene Ausbildung eines leitenden Pfades durch das Metall-Oxid (SET).

Es wird davon ausgegangen, dass es sich bei dem Schaltvorgang in Übergangsmetall-

Oxiden um das Bilden und Zerstören eines einzelnen metallischen Filaments handelt, da Messungen an Zellen unterschiedlichen Querschnitts stets den gleichen ON-Zustand zeigten [66]. Mit Hilfe der Rasterkraftmikroskopie (Conductive Atomic Force Microscopy - CAFM) zeigten Szot et al. die Bildung von Filamenten der Durchmesser-Größenordnung von 1 – 2 nm in SrTiO_3 [64, 67].

Dennoch muss an dieser Stelle erwähnt werden, dass das Phänomen des resistiven Schaltens durch Redoxprozesse von Anionen bisweilen noch nicht vollständig verstanden ist. Derzeit konzentriert sich die wissenschaftliche Forschung der resistiv schaltenden Übergangsmetall-Oxide darauf, eine Reihe offener Fragen zu klären. Es werden u. a. das mikroskopische Verständnis des Ionentransports, die genaue Morphologie der metallischen Filamente oder der Einfluss von Defekten auf den Schaltprozess studiert [52].

Im Fall II der Redoxprozesse von Kationen ist der Schaltmechanismus bereits gut verstanden. Die MIM-Struktur der Schaltzelle besteht hier aus einer inerten Metall-Bottom-Elektrode (z.B. Pt, W), einem Festkörper-Elektrolyt (z.B. GeSe, SiO_2 , WO_3) und einer leicht oxidierbaren Top-Elektrode (z.B. Ag, Cu) (siehe Abbildung 3.4) [68-70]. Der MIM-Kondenstator befindet sich initial in einem hochohmigen Zustand (Abbildung 3.4 a).

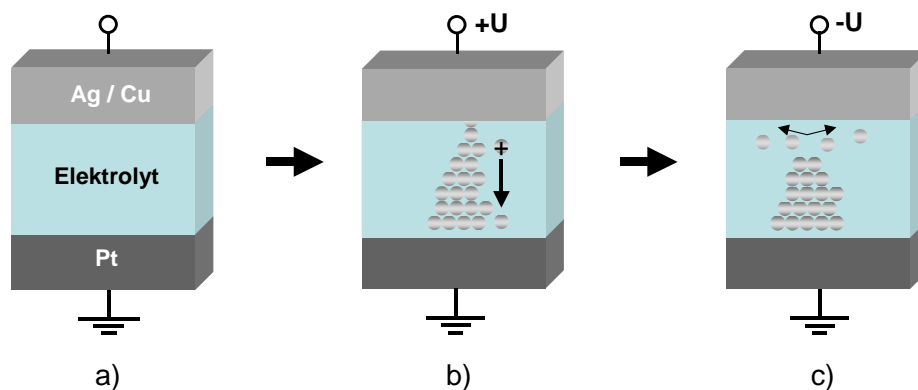


Abbildung 3.4: Resistives Schalten in Festkörper-Elektrolyten: a) Initial hochisolierende MIM-Zelle, b) Ausbildung eines metallischen Pfades durch das Festkörperelektrolyt durch Oxidation des Top-Elektroden-Materials, Ionendrift durch die angelegte Spannung und Reduktion der Ionen an der Bottom-Elektrode, c) Auflösen des metallischen Filaments durch Umkehrung der Spannungspolarität.

Um die Zelle in den ON-Zustand zu schalten wird an die oxidierbare Top-Elektrode ein positives Potential angelegt, während die Bottom-Elektrode auf Nullpotential liegt. Es bilden sich durch Oxidation der oberen Elektrode positiv geladene Kationen, die durch das herrschende Elektrische Feld in Richtung der Bottom-Elektrode driften. An der Bottom-Elektrode können die Kationen wieder reduziert werden, sodass sich dort ein metallischer Keim, bestehend aus dem Material der Top-Elektrode (Ag oder Cu), bildet. Initiiert durch den Keim wächst nun ein Metall-Filament von der Bottom-Elektrode zur Top-Elektrode, bis beide Elektroden miteinander kurzgeschlossen werden und das elektrische Feld innerhalb des MIM-Kondensators degradiert (siehe Abbildung 3.4 b). Die Zelle wurde eingeschaltet. Dabei ist der erste, initiale Einschaltprozess mit einem Formierungsprozess des Falls I gleichzusetzen, da hier stets höhere Spannungen (als beim anschließenden Schalten) benötigt werden, um den metallischen Pfad durch das Elektrolyt zu treiben und somit zunächst bevorzugt leitende Kanäle zu schaffen. Die Reaktionen an Top- und Bottom-Elektroden lassen sich für Silber wie folgt beschreiben [71]:



Die Reaktionsgleichungen für elektrolytische Prozesse wurden bereits 1832 von M. Faraday vorgestellt [72]. Sie fanden zunächst in elektrolytischen Lösungen Anwendung. Um das Filament aufzulösen und somit die Speicherzelle in den OFF-Zustand zu bringen, wird die Spannungspolarität umgekehrt (bipolares Schalten). Es finden, abhängig von den herrschenden Ströme und Spannungen, elektrochemische oder thermische Prozesse statt, die das Auflösen des metallischen Filaments bewirken (Abbildung 3.4 c).

Im Fall der elektrochemischen Metallisierungs-Speicherzellen (EMS) wurde das filamentäre Wachstum anhand von Vertikal-Strukturen gezeigt [73]. Auch CAFM-Messungen und elektrische Untersuchungen wiesen stark auf das Wachstum von Einzel-Filamenten durch das Festkörperelektrolyt hin [74, 75].

Dennoch ist zu erwähnen, dass auch das Schalten in Festkörperelektrolyten nicht vollständig verstanden ist. Offene Fragen nach der mikroskopischen Struktur der metallischen Filamente, dem Einfluss thermischer Effekte, der genauen Elektrodenreaktion (insbesondere während des RESET) oder den Einflüssen von Dotierung und amorpher Struktur der Gläser müssen bei dem Phänomen des resistiven Schaltens in EMS geklärt werden [52].

3.2 Speicherarchitekturen

Es gibt diverse Möglichkeiten resistiv schaltende Elemente in Speicherarchitekturen zu integrieren. Dabei wird hauptsächlich zwischen aktiven und passiven Architekturen unterschieden. Aktive Speicherarchitekturen benötigen Transistoren, um die Speicherzellen zu aktivieren, wohingegen bei passiven Elementen die schaltende MIM-Zelle alleine genügt, um eine Speicherzelle zu realisieren.

Der naheliegendste Aufbau für aktive, resistiv schaltende Speicher liegt in dem 1T1R-Konzept (1 Transistor, 1 Widerstand). Dabei wird wie beim DRAM der MIM-Kondensator über einen Auswahltransistor direkt angesteuert (siehe Abbildung 2.3). Der große Vorteil liegt bei dieser Architektur darin, dass alle Zellen unabhängig voneinander geschrieben und gelesen werden können, da nur bei offenen Auswahltransistoren eine elektrische Spannung über die resistive Zelle abfällt. Die Nachteile liegen in der Peripherie-Dimensionierung, da jede Speicherzelle durch einen zusätzlichen Transistor nicht „beliebig klein“ - die minimalen Zellgröße wird durch den Filamentdurchmesser festgelegt - gestaltet werden kann. Derartige Speicherarchitekturen wurden in der Literatur bereits von Unternehmen wie Samsung, Qimonda und Hewlett Packard vorgestellt [24, 76, 77].

Eine passive Variante stellen die Crossbar-Array-Architekturen dar, bei denen die Speicherzellen durch orthogonal gekreuzte Top- und Bottom-Elektroden entstehen (Abbildung 3.5) [78, 79].

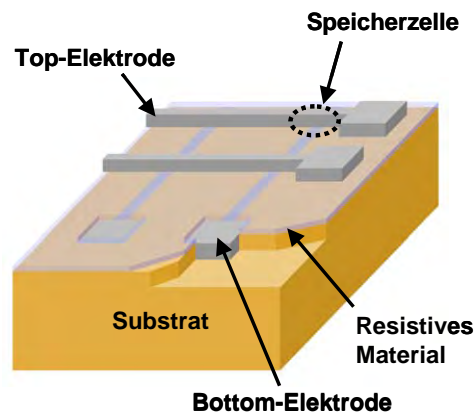


Abbildung 3.5: Crossbar-Array-Architektur: Orthogonal angeordnete Top- und Bottom-Elektroden bilden an ihren Kreuzungspunkten, durch das zwischenliegende resistiv schaltende Material, eine MIM-Speicherzelle.

Zwischen Bottom- und Top-Elektroden wird das resistive Material integriert, sodass bei mehreren, parallel laufenden Leitungselektroden jeder Kreuzungspunkt einer MIM-Speicherzelle entspricht. Die einzelnen Zellen können durch unterschiedliche Potentiale auf Top- und Bottom-Elektrode sowohl unipolar als auch bipolar geschaltet werden. Das Crossbar-Array bietet somit eine Integrationsplattform für diverse resistiv schaltende Materialien.

Einen großen Vorteil schafft diese Architektur aufgrund ihres Potentials für hohe Speicherdichten. Die einzelne Speicherzelle kann mit einer Minimalfläche von $4 F^2$ realisiert werden, da kein Auswahltransistor benötigt wird. F ist als kleinstmögliche Strukturauflösung (*MFS*) der verwendeten Herstellungstechnologie definiert. Werden die Crossbars zusätzlich vertikal gestapelt, so erhöht sich die Integrationsdichte um $4/n \cdot F^2$, mit der Anzahl der vertikal gestapelten Zellen n .

Forschungsgruppen wie die von Hewlett Packard realisierten bereits erste Crossbar-Strukturen, an denen das große Skalierungspotential gezeigt werden konnte [80 - 83]. Dabei wurden Elektroden mit einer Linienbreite von bis zu 5 nm mittels Nanoimprint-Lithographie hergestellt.

Konzepte, welche gänzlich ohne CMOS-Peripherie auskommen, da z.B. Logik-Bausteine oder Demultiplexer mit Crossbars realisiert werden, sind bei der Entwicklung von Crossbar-Architekturen als Zukunftsziel definiert. Bis zur Herstellung dieser müssen jedoch noch einige Problematiken bewältigt werden [84 - 88].

Beispielsweise sind die Widerstände der Nanoelektroden nicht zu vernachlässigen, wenn diese sehr flach (z.B. 10 nm) und lang (z.B. mehrere Mikrometer) dimensioniert werden. Durch sehr hohe Leitungswiderstände fällt zum einen ein Großteil der benötigten Schaltspannung über die Elektroden ab. Zum anderen kann der zu detektierende Widerstandswert der Speicherzelle aufgrund des hohen Leiterwiderstandes teils nicht mehr adäquat aufgelöst werden [79]. Somit werden die Schreib- und Leseoperationen bei sehr großen Crossbar-Arrays zu einer Herausforderung, welche durch spezielle Schreib- und Leseschemata gelöst werden können [89, 90].

Eine weitere Problematik stellen die zu integrierenden, resistiven Materialien dar, deren Schaltspannungen und Widerstände durch statistische Streuung (je nach Material) nicht beliebig eindeutig definiert sind. Diese Streuungen können durch verschiedene Spannungsmuster an den Top- und Bottom-Elektroden des gesamten Arrays kompensiert werden [79, 91].

Die wohl größte Herausforderung bei der Umsetzung von passiven Crossbar-Array-Speichern ist die Vermeidung parasitärer Spannungspfade. Da alle Speicherzellen des Arrays in einem großen Netzwerk über die Bottom- und Top-Elektroden physikalisch miteinander verknüpft sind, fallen die angelegten Spannungen nicht nur über eine

einzelne Zelle, sondern stets über das gesamte Array ab. Dies kann zum einen zu unerwünschten Schalteffekten an benachbarten Zellen führen. Zum anderen sind beim Lesen des Zustandes einer Einzelzelle die Widerstände des gesamten Arrays zu berücksichtigen. Die Lösung bietet, neben der Verwendung spezifischer Spannungsschemata, die Integration von Dioden in die Array-Konzepte [79]. Dioden verringern durch deren Nichtlinearität das Auftreten parasitärer Pfade [93]. Für unipolar schaltende Materialien wurden bereits Konzepte für die Integration von oxidbasierten Dioden gezeigt (siehe z. B. [92]). Die Dioden werden dazu in Serie zu den Speicherzellen, also technologisch oberhalb oder unterhalb der Speicherzelle, angeordnet. Für bipolare Materialien ist es zwingend notwendig Zener-Dioden zu verwenden, da hier sowohl die positive als auch die negative Spannungsrichtung für den Schaltvorgang zur Verfügung stehen muss.

Die Anforderungen an die Herstellungstechnologie zur Verwirklichung von Nano-Crossbar-Arrays, wie sie z.B. in Referenz [80] gezeigt sind, liegen weniger in der Realisierung kleinster Strukturen im Nanometerbereich, sondern eher in der Präzision des Alignments. Die Schwierigkeit liegt hier nicht unbedingt bei rein crossbar-basierten Architekturen, da das Alignment orthogonaler Linien zueinander durchaus höhere Toleranzen zulässt, sondern eher in der Herstellung von Crossbar-Speichern auf einer CMOS-Peripherie, welche der Ansteuerung der einzelnen Crossbar-Speicherzellen dient. Große Kontakt-Plugs, welche von der unterhalb liegenden CMOS-Schaltung nach oben geführt werden, müssen an die Nanometer-Elektroden der Arrays angekoppelt werden. Eine Lösung des Problems ist in Referenz [94] mit dem so genannten CMOL-Konzept beschrieben. Hier werden Crossbar-Speicher und CMOS-Schaltung um einen bestimmten Winkel zueinander gedreht, sodass die Alignment-Toleranzen erheblich gesteigert werden können. Dieses Konzept stellt neben den 1T1R-Modellen und den rein passiven Crossbar-Arrays eine dritte, kombinatorische Speicherarchitektur dar.

Der größte Vorteil der Crossbar-Architektur liegt in dessen Potential als defekttolerantes System eingesetzt zu werden. Defekttolerante Systeme rücken derzeit in den Fokus wissenschaftlicher Aktivitäten, da sich mit zunehmender Miniaturisierung von Bauelementen eine Erhöhung der Defektrate pro Chip voraussichtlich nicht vermeiden lassen wird. 1998 stellten Wissenschaftler um R. S. Williams den Teramac vor [95]. Diese Rechnerarchitektur beruht auf dem Prinzip defekttoleranter Parallel-Anordnungen und wurde zu der Zeit erstmals mit herkömmlich siliziumbasierten FPGA's (**F**ield **P**rogrammable **G**ate **A**rray) verwirklicht. Der Teramac revolutioniert die konventionelle von Neumann-Architektur, indem durch neuartige Prinzipien mittels redundanter Routenführung, defektbehaftete Systemkomponenten umgangen werden. Als Basis eines derartigen defekttoleranten Rechners beschrieben die Wissenschaftler einen crossbar-basierten Aufbau. Mit der Vorstellung des Teramac begannen somit

nicht nur in den Laboratorien von Hewlett Packard die Arbeiten zur Integration resistiver Elemente in Crossbar-Architekturen.

RRAM ist anhand einer Vielzahl von Indizien eine viel versprechende Alternative für zukünftige Speicherkonzepte, unabhängig davon, ob eine passiv oder aktiv basierte Architektur zur Grundlage gelegt wird. Die Performance der resistiv schaltenden Materialien überzeugt dabei mit Schaltzeiten von 10 ns, Schreib- und Lesezyklen von bis zu 10^{12} oder einer Zustandsstabilität von 10 Jahren [96 - 98, 75], wodurch RRAM in der wissenschaftlichen und anwendungsorientierten Forschung großes Interesse geweckt hat.

4 Die Herstellungstechnologien

Zur Realisierung von Crossbar-Arrays wurde in dieser Arbeit im Wesentlichen eine Kombination zweier Herstellungstechnologien verwendet. Zum einen wurde die Nanoimprint-Lithographie in Jülich etabliert, um einen Standardprozess zur Herstellung von Nanoelektroden entwickeln zu können. Zum anderen wurde der Prozess des Reaktiv-Ionenstrahlätzens (**Reactive Ion Beam Etching** – RIBE) zur Herstellung von Strukturen im Submikrometerbereich weiterentwickelt. Im Folgenden soll daher auf die Funktionsweise der verwendeten Anlagen und die Entwicklung beider Herstellungstechnologien näher eingegangen werden.

4.1 Anlagen und Funktionsweisen

4.1.1 Die Nanoimprint-Anlage

Derzeit sind eine Vielzahl an unterschiedlichen Nanoimprint-Geräten auf dem Markt erhältlich [34]. Häufig sind Parallelplatten-Pressen für Forschungsanwendungen zu finden, welche durch mechanischen Kontakt, Wafer und Stempel aufeinander drücken. Hier werden Compliance-Layer aus weichen, flexiblen Materialien (z.B. silikonartigen Puffern) benötigt, welche Verkippungen oder Unebenheiten der starren Parallelplatten ausgleichen, um homogene Drücke während des Prozesses zu gewährleisten.

Neben Geräten mit ganzflächigen Abdrucktechniken, die in der kommerziellen Anwendung einen Durchsatz von bis zu 30 Wafern pro Stunde erzielen können [99], sind Maschinen entwickelt worden, welche mit einem Stepper-Verfahren (vgl. Kapitel 2) arbeiten [100]. Molecular Imprints Inc. benannten das UV-Licht-basierte Verfahren als **Step and Flash Imprint Lithography** (SFIL). Es wird dabei ein rechteckiger Stempel (26 mm x 32 mm), der deutlich kleiner ist als das zu strukturierende Substrat, in X- und Y-Richtung verfahren, sodass der Wafer in einer seriellen Prozedur partiell bedruckt und belichtet werden kann. Als kommerzielle Anwendung soll das SFIL-Verfahren im Jahr 2011 einen Durchsatz von 80 Wafern pro Stunde erreicht haben und zur Herstellung von Strukturen der 7 nm-Design-Rules eingesetzt werden können [101]. Thermische Verfahren dieser Art verwenden einen heizbaren Stempel, der das partielle Aufheizen der belackten Wafer ermöglicht.

Eine weitere Technik, welche hohe Durchsätze verspricht, stellt die Roll-to-Roll Imprint-Lithographie dar [102]. Hier werden Wafer mittels einer Stempelrolle

großflächig strukturiert.

Die in dieser Arbeit verwendete Nanoimprint-Anlage NX-2000 von Nanonex arbeitet mit dem Air-Cushion (Luftkissen) Prinzip [103]. Hier werden durch Druckluft von bis zu 40 bar Wafer und Stempel ganzflächig gegeneinander gepresst. Die Anlage kann sowohl für den thermischen Imprint als auch für den UV-Imprint und einer maximalen Wafergröße von 100 mm eingesetzt werden.

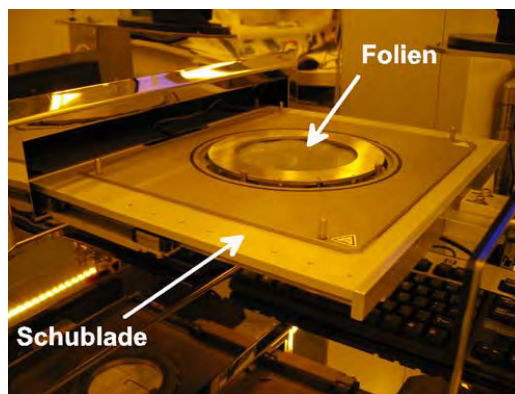


Abbildung 4.1:
Nanoimprint-Anlage
NX2000, Wafer und
Stempel werden in
einer Schublade
zwischen zwei Folien
gelegt. Die
Schublade wird in
die Prozesskammer
geschoben

Beim Imprint-Prozess werden Wafer und Stempel aufeinander positioniert und auf eine Folie in der Transferschublade gelegt (siehe Abbildung 4.1). Anschließend wird eine zweite Folie von oben auf den Probenstapel gebracht, sodass die Wafer zwischen zwei Folien auf der Schublade in die Prozesskammer geschoben werden. Innerhalb der Anlage wird nun die Prozesskammer geschlossen, in welcher der Druckaufbau für den Imprint-Prozess realisiert wird. Um die verbleibende Luft zwischen Stempel und Wafer zu entfernen, wird die Kammer evakuiert (Abbildung 4.2 a). Durch das Entweichen der Atmosphäre innerhalb der Folien werden Stempel und Wafer aufeinander gezogen und Luft, die sich unter anderem in den Kavitäten des Stempels befindet, entweicht. Sind die Folien evakuiert, kann die Prozesskammer mit Druckluft geflutet werden, um Stempel und Wafer gegeneinander zu pressen (Abbildung 4.2 b). Durch das Aufeinanderpressen füllen sich die Kavitäten des Stempels vollständig mit Lack und die Restatmosphäre innerhalb dieser entweicht vollständig.

Der große Vorteil einer Druckluftpresse besteht in der sehr homogenen Druckverteilung während des Imprint-Prozesses. Abbildung 4.3 zeigt einen Vergleich der Ergebnisse, wie sie mit einem einfachen Parallelplattenprozess (a) und einem Druckluftprozess (b) auf einem 100 mm-Wafer erzielt worden sind. Deutlich ist hier die Verbesserung der

Lack-Homogenität durch die Air-Cushion Technik zu erkennen. Mit Hilfe der NX-2000 können somit durch homogene Druckverteilungen auch z.B. Einflüsse von Partikeln oder Unebenheiten von Stempel und Substrat kompensiert werden. Auch Probleme durch unebene oder verkippte Parallelplatten werden bei der Druckluftpresse gänzlich umgangen [103].

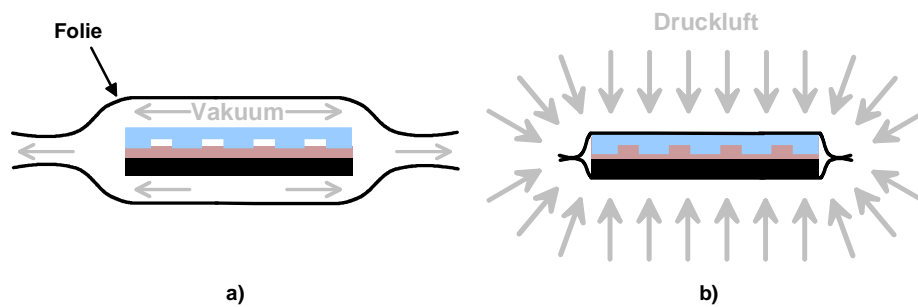


Abbildung 4.2: Funktionsdarstellung der Nanoimprint-Anlage NX-2000, a) Evakuieren der Prozesskammer, b) Nanoimprint-Prozess durch Fluten der Prozesskammer mit Druckluft.

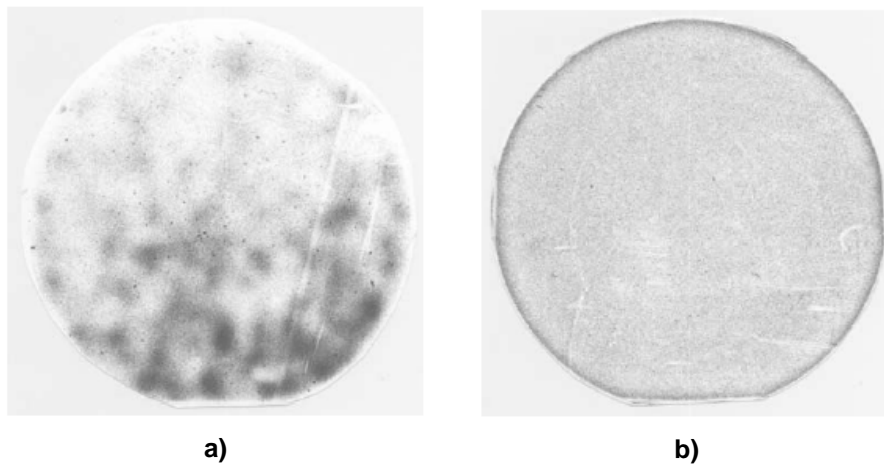


Abbildung 4.3: Vergleich zweier Ergebnisse, wie sie mit einer Parallelplattenpresse (a) und einer Druckluftpresse (b) auf einem 100 mm Wafer erzielt worden sind [103].

Die NX-2000 wird über einen PC gesteuert, wobei die Bedienungsfläche auf der Programmierungs-Software „Labview“ basiert [104]. Hier können Parameter wie Imprint-Zeit, -Druck, und -Temperatur gewählt werden. Diese Parameter müssen stets den gegebenen Umständen, wie der Lackdicke, -viskosität oder Stempeltiefe, angepasst werden. Die Dosis, welche der vollständigen Härtung der UV-Lacke dient, wird über die Belichtungszeit während des Imprints festgelegt. Für thermische Prozesse kann die Belüftungstemperatur gewählt werden, welche stets unterhalb der Glasübergangstemperatur der verwendeten Polymere liegen muss, damit sich diese während der Druckverringering in fester Form befinden (vergleiche Abbildung 2.1 c). Ferner wird über die NX-2000 Software die Evakuierungszeit vor dem Druckluftprozess bestimmt. Diese sollte bei wenig viskosen UV-Lacken jedoch nicht zu lang gewählt werden, da sich durch deren gute Fließfähigkeit unerwünschte Verformungen ergeben können. Der Standardwert für UV-NIL-Prozesse wurde mit 20 s empirisch ermittelt. Die Druck- und Temperaturverläufe während eines Prozesses können im Desktopfenster in-situ abgelesen werden. Abbildung 4.4 zeigt einen typischen Verlauf der Druck und Temperaturparameter während eines UV-Imprint-Prozesses.

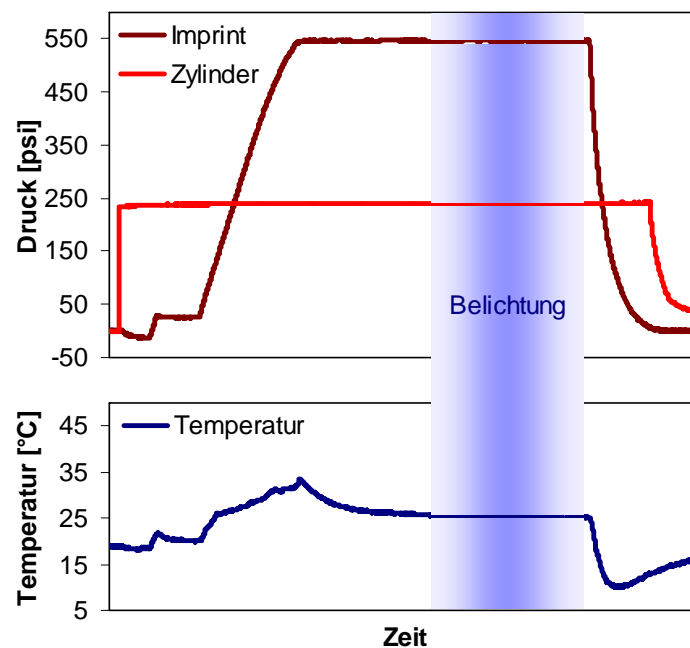


Abbildung 4.4: Druck- und Temperaturverlauf während eines UV-Nanoimprint-Prozesses.

Nachdem die Prozesskammer geschlossen wurde, wird der Druck in dem Zylinder erhöht (rote Kennlinie), welcher der Stabilisierung der Kammerdichtigkeit dient. Die Kammer wird also nun mit einem Druck von ca. 250 psi (17,5 bar) geschlossen gehalten. Anschließend kann die Kammer zunächst abgepumpt werden, um die Atmosphäre zwischen den Folien zu evakuieren. Dann folgt die Druckerhöhung in zwei Schritten für den so genannten Pre-Imprint und Main-Imprint. In Abbildung 4.4 wurde der Pre-Imprint-Druck auf 30 psi (2,1 bar) und der Main-Imprint-Druck auf 550 psi (38,5 bar) eingestellt. Ein Pre-Imprint-Schritt gewinnt bei thermischen Druckverfahren mehr an Bedeutung, da sich die Lackflusseigenschaften bei Temperaturerhöhung oft als komplexer, aufgrund der Polymerbeschaffenheit, gestalten [34].

Nachdem sich der Druck in der Prozesskammer vollständig aufgebaut hat, wird dieser eine definierte Zeit lang gehalten, bevor der UV-Lack durch die Belichtung gehärtet wird. Somit kann der Lack zunächst fließen, um alle Kavitäten des Stempels vollständig zu füllen. Nach der Belichtung wird die Kammer über ein Ventil kontrolliert geöffnet, um den Prozessdruck von 550 psi abzubauen. Abschließend wird die Kammer durch Reduktion des Zylinderdrucks vollständig geöffnet.

Der Temperaturverlauf während des UV-Imprints ergibt sich lediglich durch Druckänderungen in der Kammer ($T \sim p$). Während der Belichtungszeit bleibt die Temperatur konstant auf ca. 25°C (Raumtemperatur).

Die Druck- und vor allem die Temperaturverläufe während eines thermischen Imprints unterscheiden sich in Details von denen des UV-Imprints, da hier andere, thermisch bedingte Lackflusseigenschaften vorliegen. Da in dieser Arbeit der Fokus auf das UV-basierte Drucken gerichtet wurde, wird auf die detaillierte Darstellung des thermischen Imprints an dieser Stelle verzichtet.

4.1.2 Die Ionenstrahl-Anlage

Die verwendete Ionenstrahl-Anlage trägt die Typenbezeichnung Ionfab300plus der Firma Oxford Instruments. Es können bei dieser Anlage diverse Gase (Ar, O₂, CF₄, CHF₃, SF₆) für verschiedene Ätzprozesse eingesetzt werden. Der prinzipielle Aufbau der RIBE-Anlage ist in Abbildung 4.5 dargestellt.

In der Prozesskammer, die durch Turbopumpen auf $\sim 2 \cdot 10^{-6}$ mbar evakuiert wird, befindet sich der Probenhalter, auf dem der zu strukturierende Wafer festgeklemmt wird. Dieser Halter kann sowohl um Winkel von 0° bis 90° relativ zur Ionenquelle verkippt als auch mit unterschiedlichen Geschwindigkeiten bis zu 20 rpm rotiert werden. Durch die Rotation des Wafers werden homogene Ätzverhältnisse bei Verkipfung des Halters erzielt. Außerhalb liegend, aber mit der Prozesskammer verbunden, ist die Plasma-Quelle. Sie besteht im Wesentlichen aus drei Komponenten:

Der Spule, die der Zündung des Plasmas durch Induktion dient, den beiden Gittern, die zur Beschleunigung der Ionen und zur Fokussierung des Ionenstrahls benötigt werden, und dem Neutralisator, der den Ionenstrahl nach dem Austritt aus der Quelle unter Elektronenzufuhr neutralisiert. Die Ätzgase werden in die außerhalb liegende Plasma-Quelle über Durchflussregler (zur Regelung des Gasmassenflusses gemessen in *sccm*) eingelassen. Der Einlass der Prozessgase verringert den Kammerdruck, wodurch Prozessdrücke von $\sim 1 \cdot 10^{-3}$ mbar während des Ätzvorgangs herrschen.

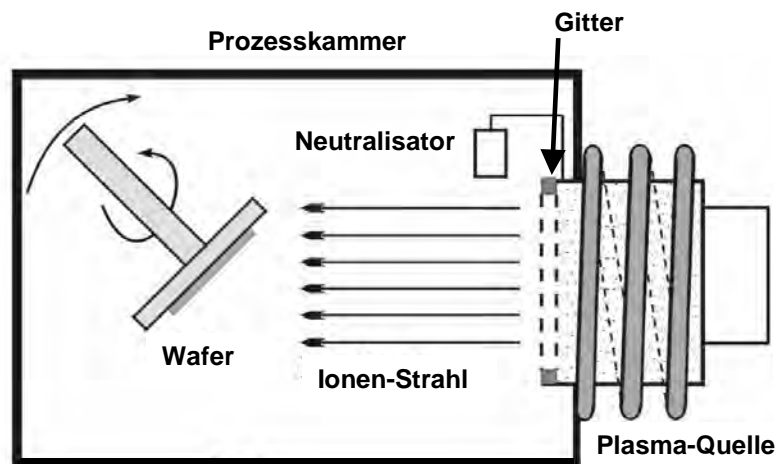


Abbildung 4.5: Aufbau der Ionfab300plus [105].

Die Optimierung der Ätzprozesse wird hauptsächlich durch die Regelung folgender Prozessparameter vorgenommen:

- Quellen-Leistung (P_{RF} – RF Power)
- Ionenstrahlstrom (I_B – Beam Current)
- Strahlspannung (U_B – Beam Voltage)
- Beschleunigungsspannung (U_A – Acceleration Voltage)

Dabei sind während des Ätzprozesses die Parameter P_{RF} und I_B über eine Regelschleife miteinander verknüpft. I_B beschreibt die Anzahl an Ionen, die aus der Quelle extrahiert werden, also die Menge an Plasma, die benötigt wird. Die Plasmamenge bzw. die Plasmadichte wird über die Quellenleistung dementsprechend eingeregelt. Das Zünden

und die Stabilisierung des Plasmas werden üblicherweise bei höheren Leistungen durchgeführt, als sie bei dem anschließenden Ätzprozess benötigt werden.

U_B und U_A bezeichnen die beiden elektrischen Spannungen, die an die beiden Gitter relativ zum Massepotential angelegt werden. Abbildung 4.6 zeigt die Gitteranordnung und den Potentialverlauf, dem die Ionen auf dem Weg von der Plasmaquelle bis zum Wafer durch die beiden Gitter hindurch folgen.

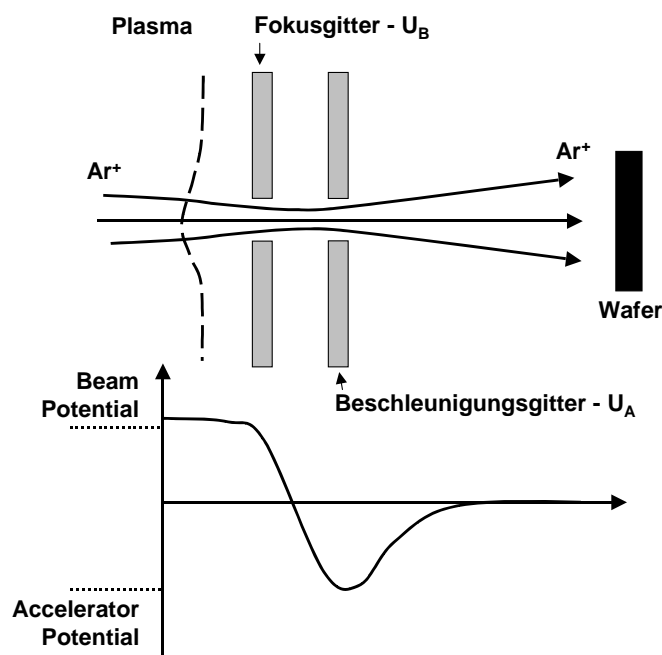


Abbildung 4.6: Gitteranordnung und Potentialverlauf des Ionenstrahl-Verfahrens.

U_B ist eine positive Spannung, deren Wert ein wenig unterhalb des Plasmapotentials liegt. Durch die Strahlspannung erhalten die Ionen die kinetische Komponente, um in die Richtung der Probe, welche auf Nullpotential liegt, beschleunigt zu werden. U_A ist eine negative Spannung, die das Extrahieren der Ionen aus der Quelle unterstützt. Die Differenz beider Spannungen $U_B - U_A$ ergibt die vollständige Extraktionsspannung U_{ext} der Ionen aus der Quelle. Nicht zu verwechseln ist U_{ext} jedoch mit der Spannung, welche die kinetische Energie der auf dem Wafer eintreffenden Ionen und somit die

Ätzenenergie bestimmt. Die Nettobeschleunigung der Ionen bis zum Auftreffen auf dem Wafer wird nur von U_B festgelegt. U_A wird zwar durchlaufen, kürzt sich jedoch mit Erreichen des Nullpotentials wieder heraus. Die Ionen erreichen dabei ihre maximale Geschwindigkeit an dem Beschleunigungsgitter. Nach dem Passieren des Gitters werden die positiven Ionen jedoch durch negative U_A wieder abgebremst.

Zusätzlich zur Beschleunigung der Ionen wirken beide Gitter als „Optik“ des Ionenstrahls. Dabei sorgt das Fokussgitter durch das positive Potential dafür, dass der Strahl aus positiv geladenen Ionen gebündelt wird. Das Beschleunigungsgitter wirkt durch das negative Potential anziehend und somit (nach außen) ablenkend auf die Flugbahn der Ionen, wodurch sich ein definierter Divergenzwinkel des Strahls ergibt. In der Regel gilt: Je größer die Ablenkung, desto größer ist der Divergenzwinkel. Dementsprechend ergibt sich ein breiterer Strahl sowie größere Divergenzwinkel durch Erhöhung von $|U_B|$ oder $|U_A|$.

Neben den Parametern, welche einen direkten Einfluss auf den Ionenstrahl nehmen, haben das Gasmischungsverhältnis, die Proben temperatur und der Winkel des Wafers einen großen Einfluss auf die resultierenden Ätzprofile (siehe folgende Kapitel). Wird z.B. ein Gasgemisch mit hohem Anteil an reaktivem Gas gewählt, so erhöht sich der chemische Ätzanteil, wodurch größere Ätzraten erzielt werden können. Ein ähnlicher Effekt resultiert aus der Steigerung der Proben temperatur, da chemische Reaktionen bei höheren Temperaturen schneller ablaufen. Die Unterdrückung chemischer Ätzprozesse zur Realisierung sehr steiler Ätzflanken wird daher in der Halbleitertechnologie auch durch Kühlung der Wafer erreicht. Die Verkipfung des Wafers relativ zur Ionenquelle kann zur Herstellung von Strukturen schräger Kanten verwendet werden.

Zusammenfassend bietet das reaktive Ionenstrahl-Ätzen die Flexibilität, welche für die Herstellung von Nanoimprint-Stempeln und anschließend für die Realisierung von Nano-Crossbar-Strukturen benötigt wird.

4.2 Die Herstellungsprozesse

4.2.1 Herstellung von UV-Imprint-Stempeln

Zur Herstellung von Nanoimprint-Stempeln wurden die Elektronenstrahl-Lithographie sowie ein Trockenätzverfahren verwendet [106]. Die Elektronenstrahl-Lithographie wurde eingesetzt, um Strukturen auf dem Stempel-Wafer zu definieren. Das reaktive Ionenstrahl-Ätzen wurde anschließend benötigt, um die definierten Strukturen in den Stempel-Wafer zu übertragen. Abbildung 4.7 zeigt den Prozessablauf zur Herstellung der UV-Imprint-Stempel auf transparenten Glas-Wafern.

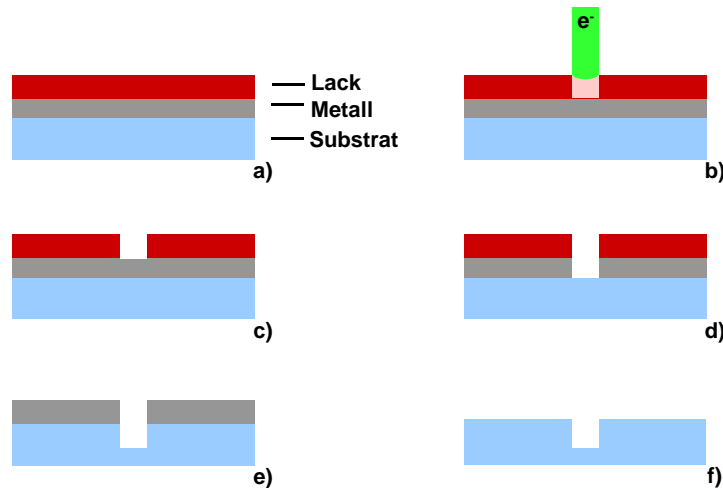


Abbildung 4.7: Herstellungsprozess der UV-Nanoimprint-Stempel.

Der Glaswafer wird zunächst mit einer dünnen Metallschicht (10 - 20 nm Cr oder Ti) bedampft, sodass zum einen Elektronen während der E-Beam-Lithographie über das Metall abgeführt werden können und sich somit das Glassubstrat nicht auflädt. Zum anderen dient das Metall als Hartmaske für den späteren Trockenätzprozess. Der metallisierte Glaswafer wird dann für die Elektronenstrahl-Lithographie mit einem elektronenempfindlichen Polymer (PMMA – Allresist GmbH AR-P 641.04) beschichtet (Abbildung 4.7 a). Durch Aufschleudern mit einer Rate von 4000 rpm erreicht das Polymer eine Dicke von ca. 160 nm [107].

Während der E-Beam-Lithographie werden Crossbar-Strukturen in das Polymer

geschrieben (Abbildung 4.7 b). In einer Versuchsreihe wurde die angepasste Dosis der Elektronenstrahlbelichtung von $500 \mu\text{C}/\text{cm}^2$ ermittelt. Dabei wurde unter Berücksichtigung der verwendeten Materialien (Polymer, Substrat, Metallbeschichtung) und deren Dicke eine Reihe an Dosen getestet.

Die Polymerketten werden durch den Elektronenstrahl aufgebrochen, wodurch die belichteten Bereiche in einem nachfolgenden Entwicklungsschritt herausgelöst werden können (Abbildung 4.7 c). Die freientwickelten Strukturen werden anschließend erst in die Metallschicht (Abbildung 4.7 d) und dann in das Glassubstrat (Abbildung 4.7 e) mit Hilfe des Trockenätzprozesses übertragen. Eine Tiefe der Strukturen von 100 nm war erfahrungsgemäß (Quelle Nanonex) ausreichend für den Imprint-Prozess. In einem abschließenden Schritt wird das Restmetall nasschemisch (z.B. in Cr-Ätzlösungen, $\text{HClO}_4 + (\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6]$, Quelle: MicroChemicals) von dem Wafer entfernt (Abbildung 4.7 f).

Um den strukturierten Glaswafer für die Nanoimprint-Lithographie zu nutzen, muss dieser mit einer Antihafbeschichtung bedampft werden. Nur so können Wafer und Stempel nach dem Imprint wieder voneinander gelöst werden. Aus einer Auswahl an möglichen Materialien wurde anhand experimenteller Erfahrungen ein Trichlorsilan (1H, 1H, 2H, 2H – Perfluorodecyltrichlorsilan) für die Herstellung von Antihafbeschichtungen gewählt (siehe Abbildung 4.8) [34, 108].

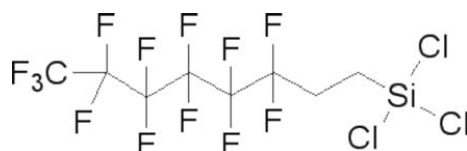
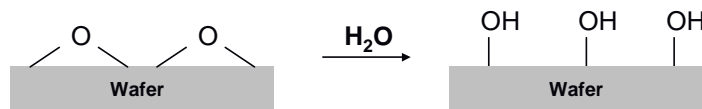


Abbildung 4.8:
Chemischer Aufbau
des Perfluorsilans
[108].

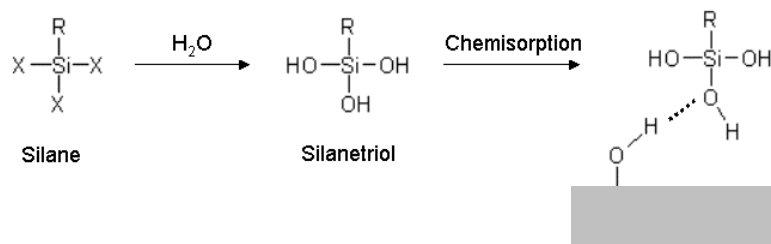
Bevor der Glasstempel dem Silangas ausgesetzt werden kann, muss die Oberfläche in Sauerstoffplasma gereinigt und mittels Wasserdampf aktiviert werden (Abbildung 4.9 a). Anschließend wird in einer geschlossenen Prozesskammer der Stempel in Silandampf beschichtet. Die Silanmoleküle verlinken dabei auf dem Substrat über kovalente Bindungen mit den OH-Gruppen der Oberfläche (Abbildung 4.9 b). Es bildet sich lediglich eine Monolage von wenigen Nanometern Dicke, da weitere Silanmoleküle nicht auf der bereits vorhandenen Silanschicht andocken können. Der Prozess ist selbstregulierend bzw. selbststoppend. In einem abschließenden Ausheizschritt polymerisiert das Silan, überflüssige Moleküle verdampfen und eine hydrophobe Oberfläche ist gebildet (Abbildung 4.9 c). Messungen mit Wassertropfen

ergaben einen Kontaktwinkel von durchschnittlich 110° , welches eine sehr gute Oberflächenqualität für Nanoimprint-Anwendungen darstellt (Abbildung 4.10). Die Stempelherstellung war mit Abschluss der Silanisierung komplettiert.

a)



b)



c)

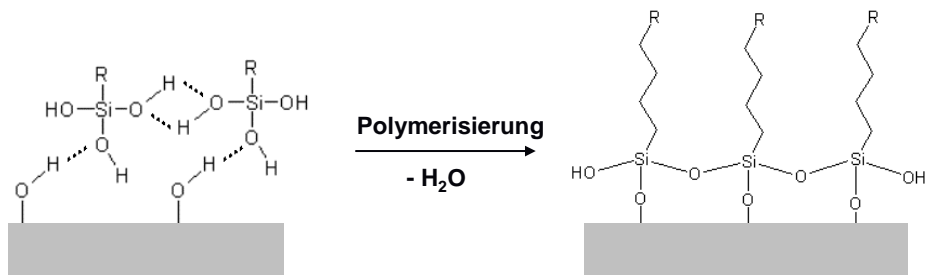


Abbildung 4.9: Silanisierungsprozess (in Jülich eingeführt von S. Gilles [108]): a) Aktivierung der SiO_2 -Wafer-Oberfläche durch Bildung von OH-Gruppen in Wasserdampf-atmosphäre, b) Verlinken der Silanmoleküle über kovalente Bindungen mit den OH-Gruppen, c) Polymerisierung des Silans durch Ausheizen des Wafers.

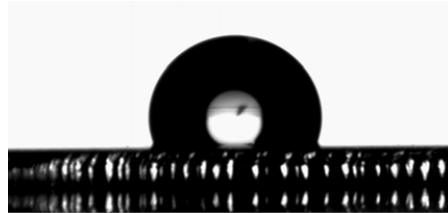


Abbildung 4.10:
Kontaktwinkelmessung
der silanisierten
Stempeloberfläche.

Um die Imprint-Stempel von Partikeln zu befreien, wurden diese vor und nach jedem Imprint-Prozess in Isopropanol gereinigt. Dabei wurde in dem Lösungsmittelbad ein reinraumtauglicher Q-Tipp behutsam über die Stempeloberfläche gezogen.

Für den UV-Nanoimprint-Prozess zur Herstellung von Crossbar-Strukturen wurden transparente 100 mm SiO₂-Wafer der Firma Crystec verwendet (Abbildung 4.11). Das Design der auf dem Stempel realisierten Crossbar-Strukturen wurde mit einem CAD-Programm erstellt. Abbildung 4.11 zeigt eine beispielhafte Elektroden-Struktur. Ausgehend von „großen“ Kontaktflächen (100 µm x 100 µm), die zur elektrischen Kontaktierung benötigt wurden, führen Leiterbahnen in das Zentrum der Struktur (Abbildung 4.12 links). Die Leiterbahnen werden dabei in ihrer Breite sukzessiv verringert, sodass schließlich im Zentrum Strukturen im Nanometerbereich entstehen (Abbildung 4.12 vergrößerter Bereich rechts). Die Länge der gesamten Elektrode beträgt ca. 5 mm, wohingegen im Zentrum die Leiterbahnenlängen von 10 bis 74 µm, je nach Design, variieren. Es wurden Elektroden unterschiedlicher Breite und Anzahl für je einen Stempel entworfen [109]. Elektroden einer Breite von 30 nm bis 500 nm und einer Anzahl von 8 bit bis 64 bit waren unter anderem Gegenstand eines Crossbar-Array Designs (Tabelle 4.1). - Da Speicher hergestellt wurden, wird hier von „Bits“ anstelle von „Anzahl der Elektroden bzw. Kreuzungspunkte“ gesprochen.

500 nm / 64 bit	200 nm / 64 bit	100 nm / 64 bit	50 nm / 64 bit	30 nm / 64 bit
500 nm / 32 bit	200 nm / 32 bit	100 nm / 32 bit	50 nm / 32 bit	30 nm / 32 bit
500 nm / 16 bit	200 nm / 16 bit	100 nm / 16 bit	50 nm / 16 bit	30 nm / 16 bit
500 nm / 8 bit	200 nm / 8 bit	100 nm / 8 bit	50 nm / 8 bit	30 nm / 8 bit

Tabelle 4.1: Übersicht der Elektrodenvariation und –kombination zur Herstellung verschiedener Crossbar-Array-Strukturen

Es konnten bis auf die 64 bit – Elektroden alle Leiterbahnen von beiden Seiten kontaktiert werden (Abbildung 4.12). Beim 64 bit – Design trafen die Nanostrukturen wie gegenüberliegende, versetzte Fingerpaare im Zentrum zusammen.

Werden die Elektroden zentrisch um 90° gedreht und auf eine bereits vorhandene, vertikale Struktur positioniert, so entstehen in dem Zentrum orthogonal gekreuzte Linien; das Crossbar-Array (vgl. Kapitel 3.2). Die Anzahl der Kreuzungspunkte ist dann die Anzahl der realisierten Bits (z.B. 64 bit Bottom-Elektrode x 64 bit Top-Elektrode = 4096 bit Array). Neben den Array-Strukturen wurden Word-Strukturen, bei denen lediglich eine Elektrode mehrere kreuzt, und Einzel-Kreuz-Strukturen, z.B. für die Materialuntersuchung, entworfen.

Die Herausforderung bei der Nanoimprint-Lithographie lag in der gleichzeitigen Abformung großer ($100\ \mu\text{m}$) und kleiner ($30\ \text{nm}$) Strukturen (siehe Kapitel 4.1.4).

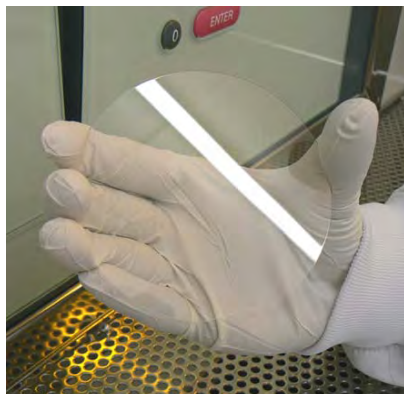


Abbildung 4.11: 100 mm SiO_2 -Wafer für die Stempelherstellung.

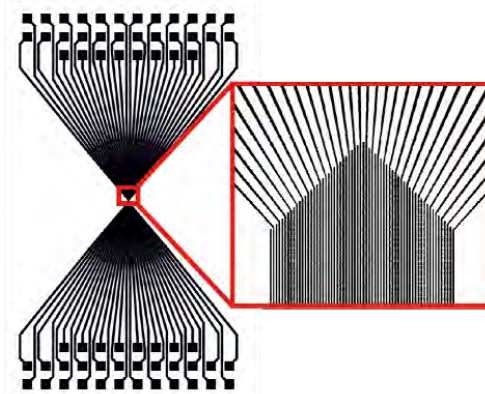


Abbildung 4.12: CAD-Layout der Elektrodenstrukturen für Crossbar-Array-Architekturen.

4.2.2 Nanoimprint–Lacke

Für thermische Imprint Prozesse werden Polymere wie z.B. PMMA (Polymethylmethacrylat - $\text{C}_5\text{H}_8\text{O}_2$) oder PS (Polystyrol – C_8H_8) verwendet. Werden diese Polymere über deren Glasübergangstemperatur T_g aufgeheizt, so können sich die Molekülketten bewegen und das Polymer wird fließfähig. Die Polymere werden somit deformiert. Das Molekulargewicht M_w der verwendeten Materialien spielt neben T_g eine wichtige Rolle [110]. Das kritische Molekulargewicht M_c kann dabei als das Gewicht

interpretiert werden, bei dem sich ein temporär verknüpftes Netzwerk über einen makroskopischen Bereich erstreckt. Es gilt als Orientierungsgrenze für die Verwendung von Polymeren thermischer Imprint-Prozesse. In der Praxis zählen Polymere niedriger Molekulargewichte ($M_w < M_c$) zu denen, welche bei niedrigen Temperaturen und Drücken in kurzen Zeiten strukturiert werden können. Jedoch ist bei niedrigen M_w zu beachten, dass die Reduzierung großflächig verknüpfter Netze eine Erhöhung der Spröde impliziert, welches, z.B. bei der Separation von Stempel und Wafer nach dem Imprint, zur Zerstörung der Polymere führen kann. Somit ist die adäquate Wahl sowohl von T_g als auch von M_w die Voraussetzung für einen erfolgreichen, thermischen Imprint-Prozess.

Lacke, welche beim UV-Imprint eingesetzt werden, bestehen meist aus mehreren Substanzen. Ein Photoinitiator und ein funktionales Monomer sorgen dafür, dass der Lack unter UV-Licht vernetzt und somit härtet. Ein Monomer mit einem großen Anteil an Silizium ist beigemischt, sodass der Lack in anschließenden Ätzprozessen (z.B. Sauerstoffplasma-Prozessen) als Hartmaske verwendet werden kann. Ferner enthalten UV-Lacke kurzkettige Monomere niedrigen Molekulargewichts, welche die Viskosität des Lacks deutlich verringern. Dieser liegt dementsprechend nach der Herstellung bereits in fließfähiger Form vor. Die genauen Inhaltsstoffe der UV-Lacke, die von kommerziellen Firmen angeboten werden (Molekular Imprints Inc., Microresist Technology GmbH, Nanonex, Obducat etc.), sind jedoch in den meisten Fällen unbekannt. Lediglich Verarbeitungsweisen sind in Datenblättern der Hersteller angegeben, wodurch Vergleiche unterschiedlicher Lacke meist auf empirischer Basis beruhen [34].

Das Aufbringen der Polymere und Lacke auf den zu bedruckenden Wafer kann auf verschiedene Weisen geschehen. Zum einen werden die Substanzen, welche sich zunächst in Lösung befinden, auf einer Lackschleuder unter definierten Drehzahlen und Beschleunigungsraten aufgebracht. Die Endgeschwindigkeit der Schleuder und der prozentuale Anteil an Lösungsmitteln der Flüssigkeit legt dabei die Enddicke der Lack- bzw. Polymerschichten fest. Polymere für thermische Prozesse werden nach dem Aufschleudern ausgeheizt, damit die Lösungsmittel verdampfen und sich eine gehärtete Schicht bildet. Eine weitere Möglichkeit der Beschichtung bietet das Dispenser-Verfahren, welches sich jedoch nur für UV-Lacke eignet. Hierbei wird der UV-Lack über feine Düsen auf den Wafer tropfenweise aufgebracht. Der große Vorteil liegt bei diesem Verfahren in der Möglichkeit, unterschiedliche Lackmengen an verschiedenen Stellen auf dem Wafer abzuscheiden und somit die Endlackdicke lokal variieren zu können. Dies findet unter anderem in der Step and Flash Imprint Lithographie Anwendung, um unterschiedlichen Kavitäten in dem Stempel auch unterschiedliche Lackvolumina anbieten zu können. Dies trägt bedeutend zur Realisierung homogener

Residual-Layer bei (siehe Kapitel 4.2.3). Generell können die Lack- und Polymerdicken für diverse Imprint-Anforderungen zwischen einigen zehn bis zu einigen hundert Nanometern variiert werden.

In dieser Arbeit wurden sowohl thermische als auch UV-Lacke untersucht. Es stellte sich allerdings heraus, dass unter Verwendung transparenter SiO_2 -Stempel, welche für die Stempelausrichtung in Mehrlagenprozessen von Nöten waren, ein thermischer Imprint nur bedingt geeignet war. Durch die unterschiedlichen, thermischen Ausdehnungskoeffizienten α der Siliziumsubstrate ($\alpha = 2 \cdot 10^{-6}/\text{K}$ @ 20°C) und der Glasstempel ($\alpha = 0,5 \cdot 10^{-6}/\text{K}$ @ 20°C) können Verschiebungen der Lackstrukturen auftreten [110]. Abbildung 4.13 zeigt einen beispielhaften Versatz der abzubildenden Struktur, wie er während eines thermischen Imprints erschienen ist.

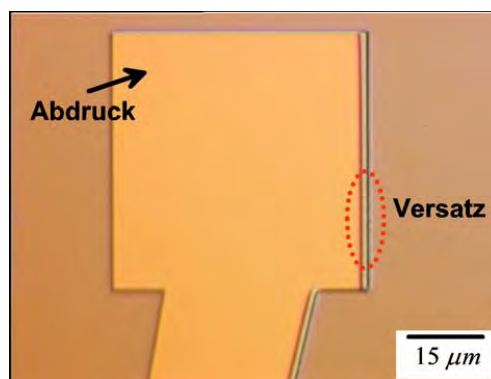


Abbildung 4.13:
Lackbadruck:
Versatz der
abbildenden
Struktur bei einem
thermischen Imprint-
Prozess.

Der Abdruck einer quadratischen Struktur, welche mehrere zehn Mikrometer in Breite und Höhe beträgt, wurde hier während des thermischen Imprints in horizontaler Richtung verschoben. Der Versatz, welcher sich im Mikrometerbereich befindet, bietet keine hinreichend präzise Basis für die Realisierung einer mehrlagigen Struktur und ist somit zur Herstellung von Crossbar-Strukturen ungeeignet. Derartige Versätze ergaben sich bei der Verwendung unterschiedlicher Polymere (mr-7000 und mr-8000 Microresist Technology GmbH; NX-1000 Nanonex). Dadurch gestaltete sich der thermische Imprint unter der Verwendung von Glasstempeln und Silizium-Substraten als nicht reproduzierbar und somit als unattraktiv für den weiteren Einsatz.

Ferner wurden UV-Lacke verschiedener Hersteller untersucht. Es stellte sich heraus, dass die Haftung von UV-Lacken auf Platin-Oberflächen, die zur Realisierung von Crossbar-Elektroden benötigt wurden, ohne einen Haftvermittler nicht zu garantieren

war. Einige Lacke zeigten jedoch auch unter der Verwendung von Haftvermittlern ungenügende Haftungseigenschaften auf 100 mm Wafern, welche mit Platin beschichtet waren (mr-UVCur06 und mr-UVCur21 Microresist Technology GmbH). Außerdem wurden teils unzureichende Übertragungseigenschaften während des Residual-Ätzens mittels RIBE festgestellt (AMONIL Amo GmbH).

Ein zufrieden stellendes Haftungs- und Ätzverhalten auf 100 mm Pt-beschichteten Wafern bot der UV-Lack der Firma Nanonex NX-2010. Dieser kann als Zweilagensystem (Bilayer-Resist-Coating) oder in Kombination mit einem Haftungsvermittler (Ti-Prime der Firma MicroChemicals GmbH) aufgeschleudert werden. Für das Zweilagensystem wird zunächst ein 200 nm Underlayer-Lack aufgetragen, der als Transferschicht für nachfolgende Prozesse dient. Der Underlayer-Lack ist ein PMMA, welcher zum einen als Ätzmaske verwendet werden kann, da neben dessen relativ hoher Schichtdicke die Chemiebeständigkeit in Trockenätzverfahren (vor allem gegen Fluorchemie in der Siliziumstrukturierung) als Vorteil gilt. Zum anderen kann der Underlayer-Lack in organischen Lösungsmitteln gelöst werden, so dass Lift-Off-Prozesse mit Hilfe des PMMAs möglich sind.

Bei der Verwendung des Haftvermittlers Ti-Prime wird keine zusätzliche Transferschicht aufgetragen. Hier dient lediglich der UV-Lack z.B. als Ätzmaske in den nachfolgenden Prozessschritten, welches die Ätztiefen jedoch aufgrund der geringeren Lackdicke und der geringeren Selektivität (vor allem in Fluorprozessen) limitiert. Im Verlauf der Versuchsreihe stellte sich dieser Prozess durchaus als gute Alternative für die Herstellung von Nanoelektroden der Crossbar-Arrays heraus und wurde damit als Standard eingeführt (siehe Kapitel 4.2.5).

Das Beschichten der Wafer für den UV-Imprint bestand zunächst darin, den Ti-Prime aufzuschleudern und auszuheizen, um eine Haftsicht von wenigen Nanometern Dicke entstehen zu lassen. Anschließend wurde der UV-Lack NX-2010 aufgeschleudert. Dieser wird nicht ausgeheizt, da dessen Fließfähigkeit während des Imprint-Prozesses erhalten bleiben muss. Die Lackdicke kann über die Drehzahl und die Beschleunigung der Schleuder eingestellt werden (siehe Abbildung 4.14). Dabei werden bei einem dreiprozentigen Feststoffgehalt des NX-2010 Schichtdicken zwischen ca. 200 nm und 80 nm erzielt (y-Achse Abbildung 4.14). Die Drehzahl wird stets in „rounds per minute“ [rpm] und die Beschleunigung in „rounds per minute per second“ [rpm/s] angegeben (x-Achse und Inset Abbildung 4.14).

Neben der Reduzierung der Lackdicke durch Erhöhung von Drehzahl und Beschleunigung können dünnere Lackschichten durch Verdünnung des Lacks mit einem Lösungsmittel erreicht werden. Durch die Beimischung von Methylmethacrylat (MMA $C_5H_8O_2$) wird der Feststoffgehalt des Lacks verringert. Mit Hilfe der Verdünnung des UV-Lacks (z.B. NX2010 : MMA $\rightarrow 1 : 2 \rightarrow 1$ % Feststoffgehalt) konnten Lackdicken

von bis zu ~ 20 nm bei einer Enddrehzahl von 3000 rpm und einer Beschleunigung von 3000 rpm/s erzielt werden. Es sollte sich im weiteren Versuchsverlauf herausstellen, dass die Lackverdünnung, welche eine Reduzierung der Residual-Layer-Dicken impliziert, ein notwendiges Werkzeug für die erfolgreiche Herstellung von Nanoelektroden darstellt (Kapitel 4.2.3).

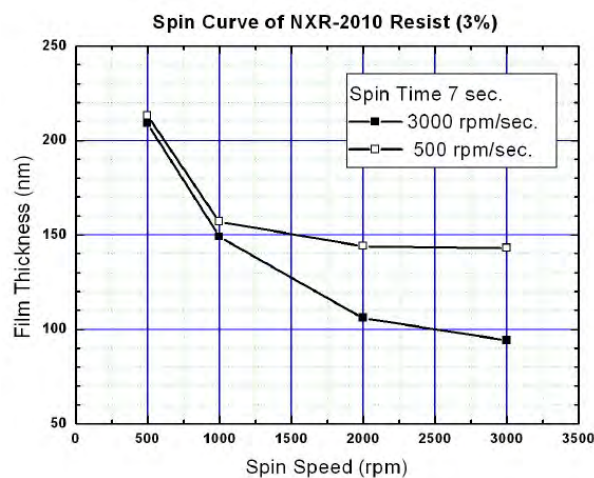


Abbildung 4.14: Aufschleuderkurve des NX-2010, Quelle: Nanonex.

4.2.3 Residual-Layer und Fülleffekte

Die Residual-Layer-Dicke ist ein bedeutender Parameter der Imprint-Technologie. Sie sollte möglichst gering gewählt werden, da die Güte des nachfolgenden Breakthrough-Etching (siehe Kapitel 2, Abbildung 2.1 e,l) maßgeblich von der Dicke des Residual-Layer abhängt. Dabei gilt: je dicker die Residual-Schicht, desto länger der Ätzprozess und desto größer sind die lateralen Strukturverluste durch chemische Ätzabtragungen an den Seiten der Lackstrukturen (siehe Kapitel 4.2.5). Da die Schichtdicke des Residual-Layer von der initial aufgetragenen Lackdicke abhängt, konnte diese durch die Verdünnung der Lacklösung eingestellt werden. Abbildung 4.15 zeigt die Abhängigkeiten von initialer Lack- und Residual-Layer-Dicke vom Feststoffgehalt des NX-2010. Die Werte wurden durch Ellipsometriemessungen und Messungen an Probenquerschnitten im Rasterelektronenmikroskop ermittelt. Die Messungen der

initialen Lackdicke wurden an unbedruckten Proben durchgeführt. Die Messungen des Residual-Layer wurden im Elektrodenzentrum an den Nanostrukturen durchgeführt (vgl. Abbildung 4.12). Es ist zu erkennen, dass die Dicke des Residual-Layers stets um einen konstanten Wert von ~ 10 nm geringer ausfällt als die initiale Lackdicke, unabhängig vom Feststoffgehalt des Lacks. Dies gilt allerdings nur im Fall der Elektrodenstrukturen für Crossbar-Arrays im Zentrum, also an den Nanostrukturen. Wird ein größerer Bereich betrachtet, so ist eine inhomogene Verteilung des Residual-Layers zu erkennen. In Abbildung 4.16 ist eine Rasterelektronenmikroskop (REM) - Aufnahme einer 8 bit Elektroden-Struktur nach einem Breakthrough-Etch dargestellt.

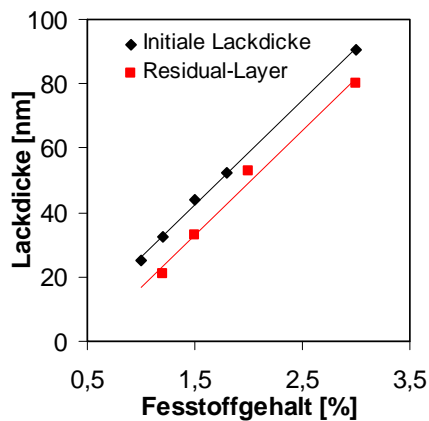


Abbildung 4.15: Messungen von initialer Lackdicke nach dem Aufschleudern und des Residual-Layers an Nanostrukturen abhängig vom Feststoffgehalt des verdünnten NX-2010.

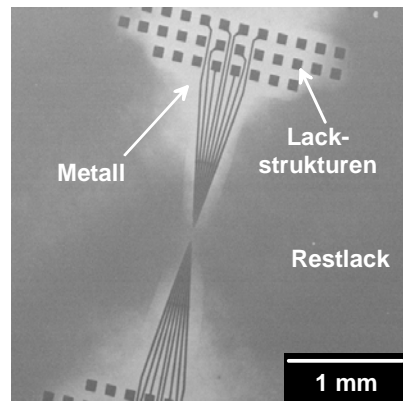


Abbildung 4.16: Residual-Layer-Verteilung nach dem Breakthrough-Etch über einen makroskopischen Bereich.

Deutlich ist zu erkennen, dass im näheren Umfeld der Elektrodenstrukturen nach dem Ätzen bereits das Elektrodenmetall (helle Fläche), welches sich unter dem Residual-Layer befand, zum Vorschein kommt. An dieser Stelle ist also die Residual-Schicht durch den Breakthrough-Prozess vollständig entfernt, nur die Elektrodenstrukturen (dunkle Strukturen), bestehend aus UV-Lack, sind erhalten geblieben. Im weiter entfernten Umfeld der Elektrodenstrukturen nimmt die Helligkeit in der REM-Aufnahme jedoch wieder ab. Hier befindet sich Restlack, der durch den Ätzprozess

nicht entfernt wurde. Dies liegt daran, dass hier die Lackdicke höher war als im nahen Umfeld der Strukturen und die Ätzzeit somit nicht ausreichte, um den Restlack zu entfernen. Die höhere Restlackschicht ergibt sich dadurch, dass sich im entfernten Umfeld der Lack-Elektroden keine weiteren Strukturen befinden und der Lack nicht verdrängt werden kann. Im Gegensatz zu den Stellen, an denen der fließfähige Lack die Vertiefungen des Stempels füllt und sich somit die initiale Lackdicke verringern kann, bleibt an den Stellen, in deren nahen Umfeld sich keine Strukturen befinden, die initiale Lackdicke erhalten. Um diesen Restlack zu entfernen und auch hier das sich darunter befindende Metall freizulegen, muss die Breakthrough-Etch-Zeit dementsprechend länger gewählt werden. Abbildung 4.16 zeigt also einen nicht komplettierten Residual-Ätzschritt.

Wird die Ätzzeit für den Residual-Layer verlängert, so besteht die Gefahr, dass die Elektroden-Lackstrukturen verloren gehen. Die Höhe der Strukturen und damit die Tiefe des Stempels muss stets deutlich größer sein als die des Restlacks. Bei der Stempelherstellung wurden Strukturturen von 100 nm realisiert. Somit ergibt sich beispielsweise eine Differenz von Strukturhöhe und Restlackhöhe von 90 nm bei einem Feststoffgehalt von 1,5 % des NX-2010 mit:

$$D_{\text{Differenz}} = D_{\text{Stempel}} + D_{\text{Residual-Layer}} - D_{\text{Initial-Dicke}}$$

Diese Differenz genügt zur erfolgreichen Herstellung von Nanoelektroden für Crossbar-Strukturen, wie in empirischen Untersuchungen festgestellt werden konnte.

Wird die initiale Lackdicke zu gering gewählt, entstehen Probleme bei der Realisierung großer Flächen, hier der Kontaktflächen und der Mikrometer-Zuleitungen der Elektrodenstrukturen. Große Kontaktflächen bedeuten große Volumina im Stempel, welche während des Imprints mit Lack gefüllt werden müssen. Steht durch eine zu geringe Lackdicke nicht genügend Material zur Verfügung, so werden große Volumina unvollständig ausgefüllt. Abbildung 4.17 zeigt die Auswirkung einer zu geringen Lackdicke auf die Fülleffizienz großer Volumina anhand der Elektrodenstrukturen. Wird z.B. die initiale Lackhöhe mit ~ 20 nm gewählt, so können sowohl die Kontaktflächen (Abbildung 4.17 a) als auch die Mikrometerzuleitungen (Abbildung 4.17 b) der 32 bit-Struktur nicht mehr adäquat gefüllt werden. Es treten blasenartige Füllmuster auf, wobei sich zunächst die Ränder der großen Strukturen aufgrund von Kapillarkräften füllen. Das Auffüllen findet demzufolge von Außen nach Innen statt [111]. Elektrodenkonfigurationen, die weniger Zuleitungsperipherie umfassen, also 8 bit und 16 bit Strukturen, bieten ein geringeres Großvolumen und sind daher durch geringere Lackdicken leichter vollständig auffüllbar. Abbildung 4.18 zeigt die Füllungseffizienz verschiedener Elektrodenstrukturen bei einer Lackdicke von

20 nm. Die Füllungseffizienz in [%] beschreibt darin das Verhältnis aus dem Volumen, welches nicht vollständig gefüllt wurde, zu dem Gesamtvolumen der Zuleitungs- und Kontaktperipherie. Die Volumina wurden durch optische Mikroskopaufnahmen vermessen.

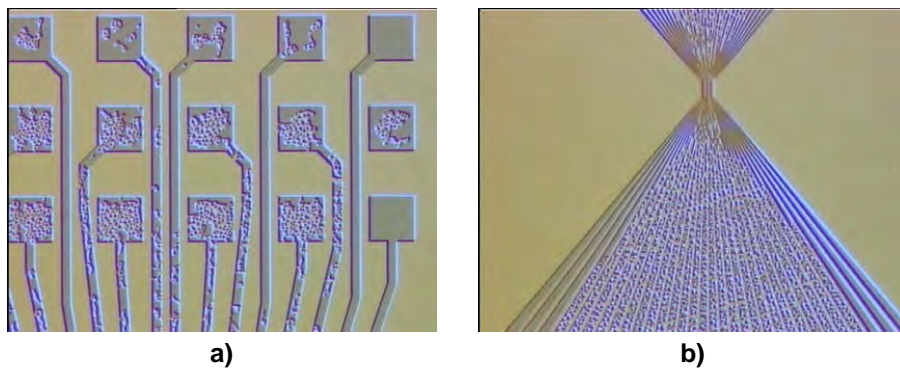


Abbildung 4.17: Unvollständig gefüllte Kontaktflächen a) und Zuleitungen b) der Elektroden-Strukturen durch eine zu geringe Initial-Lackdicke von ~ 20 nm.

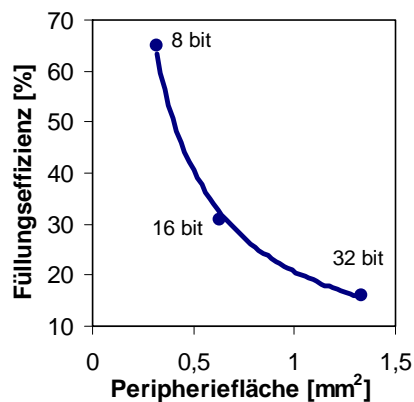


Abbildung 4.18: Füllungseffizienz des Imprint-Stempels in Abhängigkeit der zu füllenden Peripheriefläche (Kontaktfläche und Zuleitungsfläche) der Elektroden-Strukturen bei einer initialen Lackdicke von 20 nm.

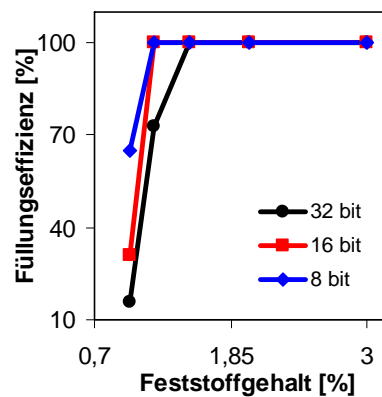


Abbildung 4.19: Füllungseffizienz in Abhängigkeit des Feststoffgehaltes des UV-Lacks NX-2010 für unterschiedliche Elektroden-Peripherieflächen der Crossbar-Array-Strukturen.

Es wird hier deutlich, dass eine geringe Peripheriefläche, wie sie bei 8 bit-Strukturen vorhanden ist zu einem höheren Füllungsgrad des Stempels führt als bei 16 bit- oder 32 bit-Strukturen, da ein geringeres Volumen gefüllt werden muss. Dennoch sind bei einer Lackdicke von 20 nm auch die 8 bit-Strukturen nicht zu 100 % vorhanden.

Wird die initiale Lackdicke durch Erhöhung des Feststoffgehaltes vergrößert, so steigert sich die Füllungseffizienz (siehe Abbildung 4.19). Um stets alle Elektroden-Strukturen zu 100 % füllen zu können, muss ein Feststoffgehalt von mindestens 1,5 % des NX-2010 gewählt werden. Dies resultiert in einer initialen Schichtdicke von ~ 45 nm und einen Residual-Layer im Zentrum der Nanostrukturen von ~ 35 nm. Die Originalgebilde von Nanonex enthielten einen Feststoffgehalt von 3 %, sodass diese in einem 1 : 1 - Verhältnis mit MMA gemischt wurden.

Wie aus den oben aufgeführten Sachverhalten deutlich wird, kann kein beliebig dünner Residual-Layer unter Verwendung dieses Crossbar-Designs erzielt werden. Dadurch wird die Realisierung sehr kleiner Strukturen im sub-50 nm Nanometerbereich stark eingeschränkt, da die Verluste durch den Breakthrough-Prozess in diesem Bereich nicht mehr zu vernachlässigen sind. Eine Lösung bietet die Herstellung der Zuleitungsperipherie mit Hilfe anderer Technologiemethoden (z.B. durch optische Lithographieverfahren), sodass lediglich die Strukturen im Elektrodenzentrum mittels Nanoimprint-Lithographie hergestellt werden (siehe Kapitel 5.4). Somit sind keine großen Volumina im Stempel mehr zur füllen, der Residual-Layer kann reduziert werden und die Herstellung von Elektroden im Nanometerbereich ist möglich.

Auch die Realisierung eines homogenen Residual-Layers ist mit dem vorhandenen Crossbar-Design und mit der Verwendung eines Aufschleuderverfahrens des Imprint-Lacks nicht möglich. Für regelmäßig angeordnete Strukturen, die über die Gesamtfläche des Wafers verteilt sind, kann jedoch durchaus ein homogener Residual-Layer erzielt werden. Ein Werkzeug zur Berechnung und somit zur Optimierung der Residual-Dicke bietet in diesem Fall die Stefan's Gleichung [34]

$$\frac{1}{h^2(t)} = \frac{1}{h_0^2} + \frac{2p}{\eta_0 s^2} t,$$

welche die Dicke des Residual-Layers h in Abhängigkeit von Imprint-Druck p , -Zeit t , Initial-Lackdicke h_0 , Lackviskosität η_0 und der Fläche des Stempels, die gefüllt werden muss, also in den Stempel hineingeätzt wurde, s^2 beschreibt. Für die Herstellung von Crossbar-Array-Strukturen kommt eine Abschätzung mit Hilfe der Stefan's Gleichung erst dann in Frage, wenn die Zuleitungsperipherie für die elektrische Charakterisierung nicht mehr von Nöten ist, also wenn z.B. Crossbar-Array-Speicher auf einen CMOS-

basierten Demonstratorchip integriert werden. In diesem Fall kann durch regelmäßig angeordnete Elektroden-Strukturen eine Homogenität der Residual-Layer-Dicke erreicht werden.

4.2.4 Reaktives Ionenstrahl-Ätzen

Das reaktive Ionenstrahl-Ätzen (**Reactive Ion Beam Etching – RIBE**) ist ein Plasma-Ätzverfahren und wurde in dieser Arbeit für verschiedene Strukturierungsmaßnahmen eingesetzt. Zum einen wurden bei der Stempelherstellung für die Nanoimprint-Lithographie Strukturen in Glassubstrate übertragen. Zum anderen wurde das RIBE-Verfahren zur Herstellung von Nanoelektroden der Crossbar-Arrays eingesetzt. Hierbei musste zunächst der Residual-Layer nach dem Imprint entfernt und dann die Metalle, die als Elektrodenmaterial benötigt wurden, strukturiert werden. Somit war eine Reihe an verschiedenen Materialien (SiO_2 , Ti, Pt, Cr ...) in unterschiedlichen Ätzprozessen zu strukturieren.

Generell wird bei Plasmaverfahren zwischen drei Ätzmechanismen unterschieden:

- I) Sputtern
- II) Chemisches Ätzen
- III) Physikalisch unterstütztes chemisches Ätzen

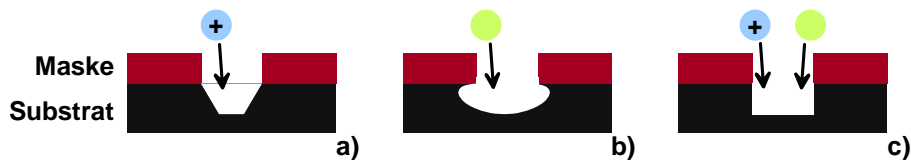


Abbildung 4.20: Ätzmechanismen: a) Sputterätzen, b) Chemisches Ätzen, c) Physikalisch unterstütztes chemisches Ätzen.

Im Fall I) des Sputterätzens werden Inertgase (Ar , N_2) eingesetzt, die in einer Plasmaquelle ionisiert werden. Durch die Beschleunigung der Ionen auf ein Substrat, werden in einem physikalischen Prozess Atome durch mechanisches Herausschlagen von der Oberfläche gelöst. Der Ätzabtrag findet durch kinetischen Energieaustausch beschleunigter Teilchen mit der Probe statt, wodurch auf vorstrukturierten Substraten (z.B. lithographisch definierte Lackmasken) schräge Ätzprofile entstehen

(Abbildung 4.20 a). Die beschleunigten Ionen werden an der Lackkante gestreut und treffen unter einem schrägen Winkel auf die Substratoberfläche. Eine Ätzselektivität zwischen unterschiedlichen Materialien ist nur bedingt durch die Verwendung verschiedener Gase gegeben [112].

Im Fall II) der chemischen Trockenätzverfahren werden reaktive Gase (O_2 , F, Cl etc.) eingesetzt. Durch die Reaktion des Ätzgases mit den Waferatomen bilden sich flüchtige Verbindungen, die durch Desorption von der Oberfläche entweichen. Der chemische Ätzprozess zeichnet sich durch seine isotrope Charakteristik aus, wodurch bei vorstrukturierten Substraten ein Unterätzen der Maske entstehen kann (Abbildung 4.20 b).

Im Fall III) des physikalisch unterstützten chemischen Prozesses wird ein Gasgemisch aus inerten und reaktiven Gasen gebildet. Der Inertgasanteil sorgt in diesem Fall dafür, dass nicht-flüchtige Reaktionsprodukte durch eine kinetische Komponente von der Oberfläche entfernt werden können. Dieses Verfahren bietet eine hohe Flexibilität, da durch geeignete Gasmischungsverhältnisse zum einen senkrechte Ätzkanten realisiert und zum anderen hohe Ätzselektivitäten unterschiedlicher Materialien erzielt werden können. Senkrechte Kanten und hohe Selektivitäten sind in der Trockenchemie-Technologie wünschenswert, da hierdurch unerwünschte, vertikale und horizontale Strukturverluste gering gehalten werden.

Neben der Wahl geeigneter Gase und Mischungsverhältnisse spielen Parameter, wie die Beschleunigungsenergien der Ionen, die Temperatur der Probe, der Kammerdruck und die Plasmadichte, während des Prozesses eine bedeutende Rolle. Die Regelung und Einflüsse dieser Parameter sind jedoch stark von der verwendeten Technologie (z.B. RIBE oder RIE) und der Dimensionierung der Prozesskammer bzw. deren Komponenten abhängig [113, 114].

4.2.5 Ätzprozesse

Zur Herstellung der Crossbar-Bauelemente wurden eine Reihe an Materialien strukturiert. Für die Stempelherstellung wurde sowohl das Hartmaskenmaterial, bestehend aus verschiedenen Metallen, als auch das Glassubstrat (SiO_2) geätzt (vgl. Abbildung 4.7 d, e). Für die Herstellung der Crossbars wurde zunächst nach der Nanoimprint-Lithographie der Residual-Layer, bestehend aus siliziumhaltigem UV-Lack, und anschließend das Elektrodenmaterial, welches verschiedene Metalle beinhalten konnte, strukturiert. Ferner wurde eine Planarisierungsschicht benötigt (siehe Kapitel 5.5), welche mittels RIBE gedünnt werden musste. Diese Schicht bestand aus einem SiO_2 -haltigem Glas, wodurch hier Ätzprozesse für reines SiO_2 angewendet wurden.

Der Strukturierung von Metallen diente ein Sputterprozess mit Ar-Ionen. Es konnte hierbei zum größten Teil auf die Institutserfahrungen und Literaturwerte zurückgegriffen werden [105, 115]. Generell wurde bei allen Ätzprozessen die Probe unter einem Winkel von 90° (also senkrecht zur Quelle) und unter 10 rpm Rotation geätzt. Außerdem sorgte die Heliumkühlung der Probenrückseite für eine konstante Temperatur von 15°C während des Ätzprozesses auf dem zu strukturierendem Substrat. Mit $U_B = 450\text{ V}$, $U_A = 187\text{ V}$ und $I_B = 125\text{ mA}$ wurden folgende Ätzraten mit Hilfe von REM-Aufnahmen und Oberflächenprofil-Analysen (Profilometer – Dektak³ST Digital Instruments Veeco Metrology Group) ermittelt:

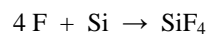
- Pt: 20 nm/min
- Cr: 5 nm/min
- Ag: 60 nm/min

Die Sputtereffizienz ergibt sich hierbei (laut Literaturangaben) unter anderem aus einem qualitativen Modell, welches die Effizienz des Energieaustauschs γ zweier Teilchen unterschiedlicher Massen M_1 und M_2 bei einem elastischen Zusammenstoß beschreibt [112]:

$$\gamma \sim \frac{4M_1M_2}{(M_1 + M_2)^2}$$

Die Flankensteilheit, die durch den Sputterprozess bei der Strukturierung von Metallen erzielt wurde, genügte den Anforderungen an die Herstellung von Nanoelektroden. Teststrukturen im Nanometerbereich, die mittels Nanoimprint hergestellt und anschließend geätzt wurden, verfügten über eine nahezu 90° steile Flanke, welches durch qualitative Bewertungen anhand von REM-Aufnahmen erkannt wurde (Beispiel in Abbildung 4.21 für Pt Nanostrukturen einer Breite von 200 nm und einer Höhe von 100 nm).

Bei der Strukturierung von siliziumhaltigen Materialien, z.B. dem SiO_2 -Glas der Nanoimprint-Stempel, wurde Tetrafluormethan (CF_4) eingesetzt. Das fluorhaltige Gas, welches im Plasma in die Komponenten F, CF, CF_2 und CF_3 zerlegt wird, führt auf der Probenoberfläche in der chemischen Reaktion mit dem Silizium



zu flüchtigen SiF_4 -Produkten, die von der Waferoberfläche desorbieren können. Es findet ein chemischer Ätzprozess statt, der durch die Sputterkomponente der beschleunigten CF_x -Ionen unterstützt wird. Mit $U_B = 450\text{ V}$, $U_A = 180\text{ V}$ und $I_B = 125\text{ mA}$ wurde eine SiO_2 -Ätzrate von 50 nm/min erzielt. In einem reinen

Sputterprozess mit Ar-Ionen beträgt die SiO_2 -Ätzrate lediglich 20 nm/min, wodurch der chemische Ätzanteil des CF_4 -Prozesses deutlich wird. Auch hier konnte eine Flankensteilheit nahe 90° an SiO_2 -Teststrukturen ermittelt werden, welches für die Stempelherstellung wichtig war (Abbildung 4.22).

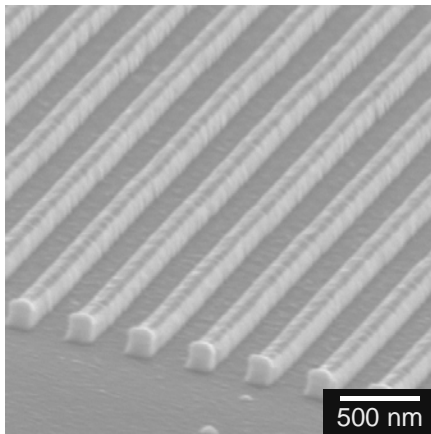


Abbildung 4.21: Pt-Teststrukturen nach dem Ar-Sputterätzen, Strukturbreite = 200 nm, Strukturhöhe = 100 nm.

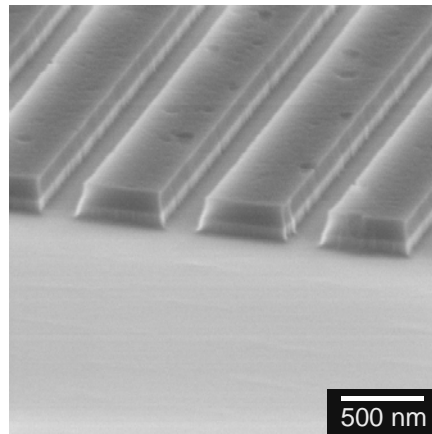


Abbildung 4.22: SiO_2 -Teststrukturen nach dem CF_4 -Ätzprozess, Strukturbreite = 500 nm, Strukturhöhe = 100 nm. (dunkle Lackreste auf SiO_2 -Strukturen)

Bei der Imprint-Stempelherstellung wurden zwei unterschiedliche Metalle als Hartmaskenmaterial (vgl. Abbildung 4.7) untersucht, welche verschiedene Vorteile boten. Zum einen wurde eine 20 nm dicke Ti-Schicht auf die Glassubstrate der Stempel aufgebracht [106]. Ti kann reaktiv in einem CF_4 -Prozess geätzt werden, was den Vorteil hat, dass es in einem in-situ Schritt mit der SiO_2 -Strukturierung entfernt werden kann. Zum anderen wurde eine 20 nm dicke Cr-Schicht als Hartmaske verwendet [116]. Cr bietet aufgrund seiner geringen Ätzrate eine sehr hohe Selektivität gegenüber sämtlichen Materialien. Allerdings muss die Cr-Hartmaske anschließend in einem nasschemischen Verfahren entfernt werden. Abbildung 4.23 zeigt den Vergleich zweier unterschiedlicher Stempelabdrücke in UV-Lack nach dem Imprint. Der Abdruck in Abbildung 4.23 a) stammt von einem Stempel, der mit Ti-Hartmaske hergestellt wurde, wohingegen der Abdruck in Abbildung 4.23 b) durch einen mit Cr-Hartmaske hergestellten Stempel entstand. Die vermeintlich unterschiedlichen Höhen der

Strukturen in a) und b) ergeben sich durch schräge Lackkanten der Stirnseiten, die durch das Brechen der Probe entstehen. Profilometer-Messungen ergaben eine Strukturtiefe beider Stempel von ~ 100 nm.

Der Unterschied beider Abdrücke und damit beider Herstellungsmethoden liegt in der Beschaffenheit der Gräben, also zwischen den hervorstehenden Linien. Bei Stempeln, die mit Ti hergestellt wurden, weisen die Gräben des Abdrucks eine wesentlich höhere Rauigkeit auf. Ferner sind die Vertiefungen eher rundlich geformt und bilden keine abrupte Kante an der Seitenwand. Glaswafer, die mit Cr-Maske strukturiert wurden, hingegen bieten einen sehr glatten Grabenuntergrund (dunkle Bereiche in Abbildung 4.23 b) und steile Strukturflanken, woraus nahezu 90° Kanten resultieren.

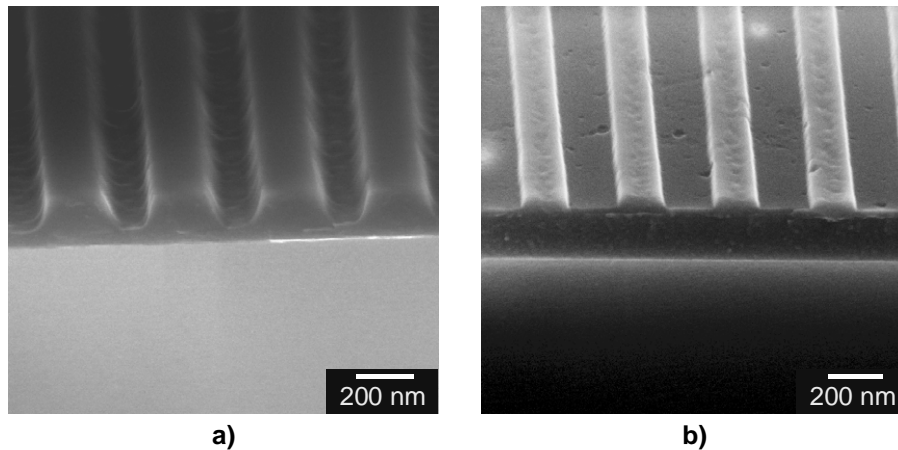


Abbildung 4.23: Abdrücke in UV-Lack zweier Stempel, welche mit unterschiedlichen Hartmasken hergestellt wurden: a) 20 nm Ti-Hartmaske, b) 20 nm Cr-Hartmaske.

Die Gräben des Lackabdrucks entsprechen den Erhebungen des Stempels, welcher kopfüber in den Lack abgebildet wurde. Eine abgerundete Form entsteht durch das in-situ entfernen der Ti-Maske im CF_4 -Plasma. Die Ti-Struktur wird in dem Ionenstrahl-Prozess stärker an den Rändern abgetragen, sodass die harte Kante in eine weiche, rundlichere Form übergeht, die zugleich in das Glassubstrat unterhalb der Maske übertragen wird. Bei der härteren Cr-Maske, welche erst nach der vollständigen Glasstrukturierung entfernt wird, werden die Probleme der Kantenabrundung vermieden.

Zwar ist die resultierende Lackstruktur der Abbildung 4.23 a) kein zwingendes

Ausschlusskriterium des Herstellungsverfahrens von Imprint-Stempeln mit Ti-Hartmaske, da weiterführende Versuche einen generellen Strukturierungserfolg zeigten [106], jedoch wurde im Verlauf dieser Arbeit entschieden, dass sich durch die weiterentwickelte Stempelherstellung mit Cr-Maske reproduzierbarere Ergebnisse (z.B. in Bezug auf die Strukturtreue) erzielen lassen [116].

Die größte Herausforderung bei den Trockenätzverfahren liegt in der Entfernung des Residual-Layer nach der Nanoimprint-Lithographie. Hier muss der Residual-UV-Lack ohne eine Maskierung durch chemisch reaktive Ätzgase entfernt werden (siehe Kapitel 2, Abbildung 2.1 e, l), was zu Problemen in Bezug auf die Erhaltung der Strukturen führen kann. Um zunächst den Einfluss der Ätzparameter zu untersuchen, wurde eine Versuchsreihe auf 1" x 1" Proben durchgeführt, die in dem standardisierten Nanoimprint-Prozess strukturiert wurden (siehe Anhang). Als Lack wurde der NXR-2010 verwendet. Der siliziumhaltige Imprint-Lack kann mit Fluorchemie (hier CF_4) reaktiv geätzt werden. Abbildung 4.24 zeigt die Resultate der durchgeführten Ätzreihe, bei der I_B , U_B und der CF_4 -Gehalt in einem CF_4/Ar -Mischgas variiert wurden. Es stellte sich heraus, dass diese Parameter den größten Einfluss auf die Ätzrate des Lacks und die Qualität des Ätzprofils hatten. Hingegen zeigten die Einflüsse des Kammerdrucks und der Beschleunigungsspannung keine Signifikanz und waren daher eher zu vernachlässigen.

Wird der Strahlstrom I_B erhöht, so steigt die Anzahl der auf dem Wafer eintreffenden Teilchen an, sodass mehr Material abgetragen werden kann. Die Ätzrate nimmt zu. Die Erhöhung der Teilchenmenge und damit der Plasmadichte wird durch die Steigerung der Quellenleistung P_{RF} über die Regelschleife automatisch erreicht (vgl. Kapitel 4.1.2). Wird der Strahlstrom wie in Abbildung 4.24 a) gezeigt von 50 mA auf 200 mA erhöht, so nimmt die Quellenleistung von 100 W auf 270 W und zugleich die Ätzrate von 8,5 nm/min auf 30 nm/min zu.

Wird die Strahlspannung U_B erhöht, so gewinnen die Ionen an kinetischer Energie, wodurch die Sputterkomponente des Ätzprozesses und zugleich die Ätzrate zunimmt (Abbildung 4.24 b). Eine Steigerung der chemischen Komponente kann beispielsweise in einem Gasgemisch von CF_4 und Ar, wie es in Abbildung 4.24 c) verwendet wurde, durch die Erhöhung des fluorhaltigen Gasanteils erreicht werden. Dabei ist das Maximum der Ätzrate bei reinem CF_4 -Gas zu finden.

Es ist zu erwähnen, dass eine hohe Ätzrate nicht zwingend mit einem optimalen Ätzprofil einhergeht. Auf der einen Seite kann eine hohe Sputterkomponente zu schrägen Strukturkanten führen (siehe Abbildung 4.20 a), wohingegen auf der anderen Seite eine hohe chemische Komponente Unterätzungen (siehe Abbildung 4.20 b) bzw., im Fall des Residual-Ätzens, Strukturverluste durch seitliche Ätzangriffe impliziert, da

keine Ätzmaske vorhanden ist. Somit bestimmt das richtige Gasmischungsverhältnis sowie die geeignete Wahl von U_B die Güte der Strukturflanken. Abbildung 4.25 zeigt 90° steile Strukturflanken, die mit einem Mischungsverhältnis ($\text{CF}_4:\text{Ar}$) von 1:1 erzielt wurden, welches zugleich das optimale Ergebnis der Ätzreihe darstellt. Die Ätztiefe beträgt hier 30 nm (3 min Ätzzeit), was der Größenordnung der Residual-Dicke nach einem Nanoimprint-Prozess entspricht. Da die Residual-Lackdicke in diesem Versuch höher war, wurde der Residual-Layer nicht vollständig entfernt.

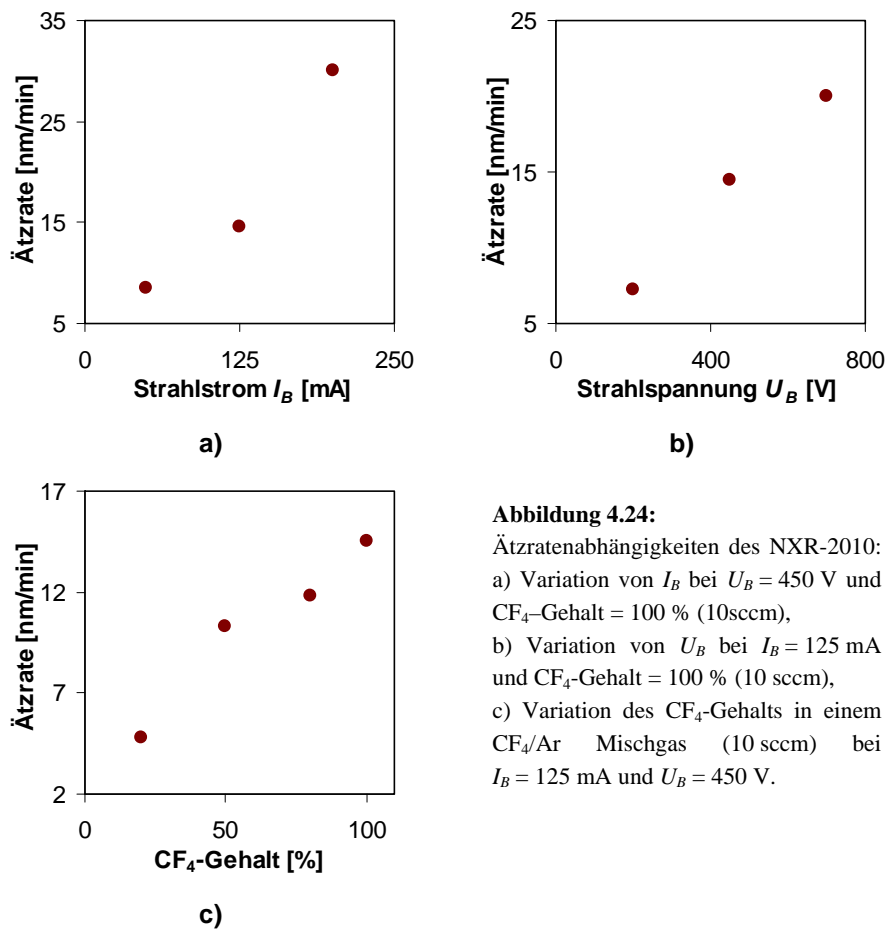


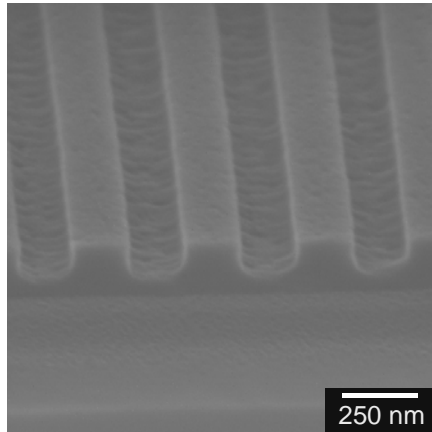
Abbildung 4.24:

Ätzratenabhängigkeiten des NXR-2010:

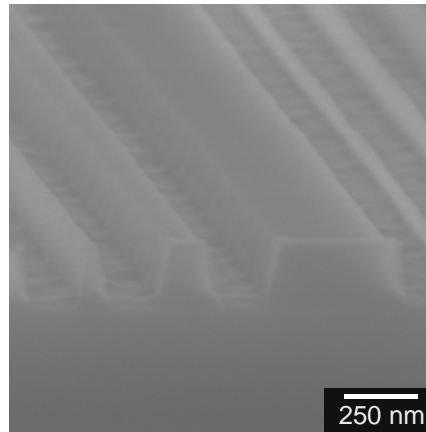
a) Variation von I_B bei $U_B = 450$ V und CF_4 -Gehalt = 100 % (10 sccm),

b) Variation von U_B bei $I_B = 125$ mA und CF_4 -Gehalt = 100 % (10 sccm),

c) Variation des CF_4 -Gehalts in einem CF_4/Ar Mischgas (10 sccm) bei $I_B = 125$ mA und $U_B = 450$ V.

**Abbildung 4.25:**

Ätzprofil nach einem Ätzprozess mit einem CF_4/Ar -Gemisch (1:1 @ 10 sccm), $U_B = 450 \text{ V}$ und $I_B = 125 \text{ mA}$.

**Abbildung 4.26:**

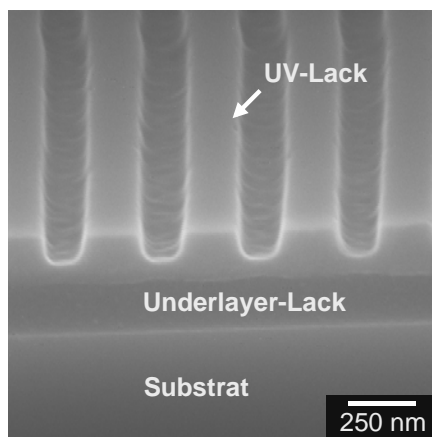
Ätzprofil nach einem Residual-Ätzprozess mit einer Proben-Kühlung von -10°C , $U_B = 450 \text{ V}$, $I_B = 125 \text{ mA}$ und 10 sccm CF_4 .

Eine weitere Möglichkeit den chemischen Ätzanteil zu reduzieren, bietet die Kühlung der Probe [117]. Dadurch können tendenziell die lateralen Strukturverluste des Lacks reduziert werden, da die chemische Reaktionsgeschwindigkeit an den Seitenwänden der Struktur durch niedrigere Ätztemperaturen verringert wird. Abbildung 4.26 zeigt das Resultat eines Residual-Ätzprozesses mit einer Probentemperatur von -10°C in einem rein chemischen CF_4 -Prozess.

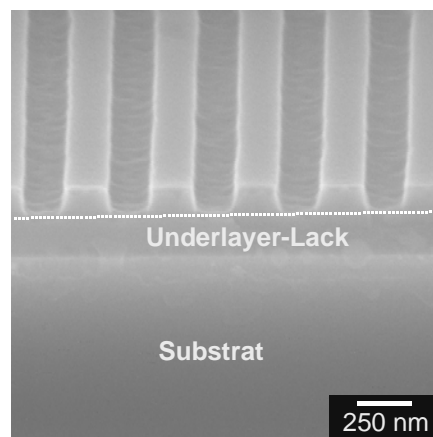
Die schrägen Kanten der Strukturen weisen darauf hin, dass in einem Ätzprozess mit verringerter Temperatur der chemische Ätzanteil reduziert werden konnte, da dieses Kantenprofil aus einer eher dominanteren Sputterkomponente resultiert (vgl. Abbildung 4.20 a). Es könnten zwar laterale Strukturverluste verringert werden, doch impliziert das Verfahren der Probenkühlung unerwünscht schräge Kantenprofile, welche eher durch die Verwendung des optimalen Gasgemisches bei $+15^\circ\text{C}$ Prozesstemperatur zu vermeiden sind (vgl. Abbildung 4.25).

Wird ein Doppellagen-Lacksystem verwendet, wie es in Kapitel 4.2.2 beschrieben wurde, so muss zunächst der Residual-Layer des Top-Lacks entfernt werden, um anschließend den Underlayer-Lack zu strukturieren. Abbildung 4.27 zeigt den Verlauf der Ätzprozedur. Abbildung 4.27 a) stellt darin das Zweilagigen-Lacksystem nach dem Imprint dar. Der UV-Lack besteht wie zuvor aus NXR-2010, sodass dessen Residual-Layer in dem standardisierten CF_4 -Prozess entfernt wird, bis der Underlayer-Lack in

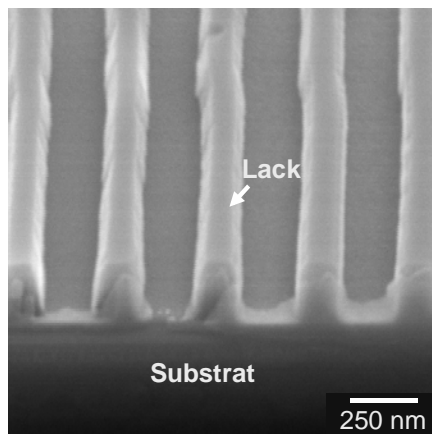
den Strukturgräben freiliegt (Abbildung 4.27 b). Anschließend kann der PMMA-basierte Underlayer (NXR-3020) in einem O_2 -Prozess bis auf das Substrat durchgeätzt werden (Abbildung 4.27 c). Dabei beträgt die Selektivität des UV-Lacks gegenüber dem Underlayer-Lack in einem Sauerstoffprozess ~ 11 , wodurch der NXR-2010 als Ätzmaske während der Strukturierung des NXR-3020 dient [118].



a)



b)



c)

Abbildung 4.27:

Zweilagen-Lackstrukturierung:

- a) Zweilagen-Lacksystem nach dem Aufschleudern,
- b) Entfernen des Residual-Layers des Top-Lacks (hier NXR-2010) in einem CF_4 -Prozess,
- c) Strukturieren des PMMA-basierten Underlayer-Lacks (hier NXR-3020) in einem O_2 -Plasma-Prozess.

Die Gesamthöhe der Lackstrukturen auf dem Siliziumsubstrat beträgt im Endeffekt ca. 230 nm (~160 nm Underlayer + ~70 nm Top-Layer), welches eine deutliche Steigerung im Gegensatz zum Einzellagen-Lack-Systemen darstellt. Somit können mit Hilfe des Zweilagen-Lacksystems deutlich tiefere Ätzprofile in der darunter liegende Schicht erreicht werden. Ferner bietet die Verwendung eines PMMA-basierten Transferlayers eher die Möglichkeit, siliziumhaltige Substratmaterialien zu strukturieren, da das PMMA eine höhere Beständigkeit gegen fluorhaltige Chemie als der ebenfalls siliziumhaltige UV-Lack bietet.

Trotz optimierter Prozessparameter oder Doppellagen-Lacksystemen, welche tiefere Ätzprofile erlauben, kann die Residual-Layer-Dicke der UV-Lacke nicht beliebig groß gewählt werden. Die Erfahrung zeigte, dass eine Residual-Layer-Dicke, welche über die hier standardisierten 35 nm hinausging, die Lackstrukturverluste durch chemische Ätzprozesse bereits signifikant erhöhte, sodass Linienbreiten im sub-50 nm Bereich mit hohen Residual-Schichten nicht zu realisieren waren.

Eine Lösung ist die Reduzierung des Residual-Layers, welches jedoch durch das hier verwendete Elektroden-Layout nur bedingt möglich ist, da die großen Kontaktflächen mit sehr dünnen Lacken nicht mehr realisiert werden können (vgl. Kapitel 4.2.3). Eine weitere Alternative bieten andere Technologieverfahren, wie der Reverse-Tone-Prozess, in dem Hartmasken verwendet werden können, durch die steilere Ätzflanken und hohe Aspektverhältnisse zu realisieren sind.

4.2.6 Der Reverse-Tone-Prozess

Der Name des Reverse-Tone-Prozesses ergibt sich aus der Abbildungsweise der zu realisierenden Strukturen. Diese werden nicht wie im herkömmlichen Imprint- und anschließendem Übertragungsverfahren positiv auf das Substrat übertragen, sondern durch einen Umkehrprozess (Reverse) als Negativ abgebildet [119]. Das Negativ ist in diesem Fall als Umkehrung der Stempelstrukturen definiert, konkret: es werden diejenigen Strukturen in den Substratwafer geätzt, die auch im Stempel vertieft sind.

Die Idee, einen Reverse-Prozess zu verwenden, entstand durch das Auftreten von Strukturverlusten beim Residual-Etch nach dem UV-Imprint, da hier keine Ätzmaske zur Verfügung steht. Eine Maskierung der Strukturen kann z.B. durch einen Planarisierungsschritt hergestellt werden. Abbildung 4.28 zeigt anhand von REM-Aufnahmen den Prozessablauf für den Reverse-Tone Prozess.

Nach der Nanoimprint-Lithographie wird auf den strukturierten UV-Lack (hier UVcur06 Microresist Technology GmbH) ein SiO₂-basiertes Glas (Spin-On Glas hier MSQ - Methyl-Silsesquioxan, Accuglas-T111 von Honeywell) aufgeschleudert und ausgehärtet (Abbildung 4.28 a). Das fließfähige Spin-On Glas füllt dabei die Gräben der

Imprint-Strukturen und planarisiert die Oberfläche.

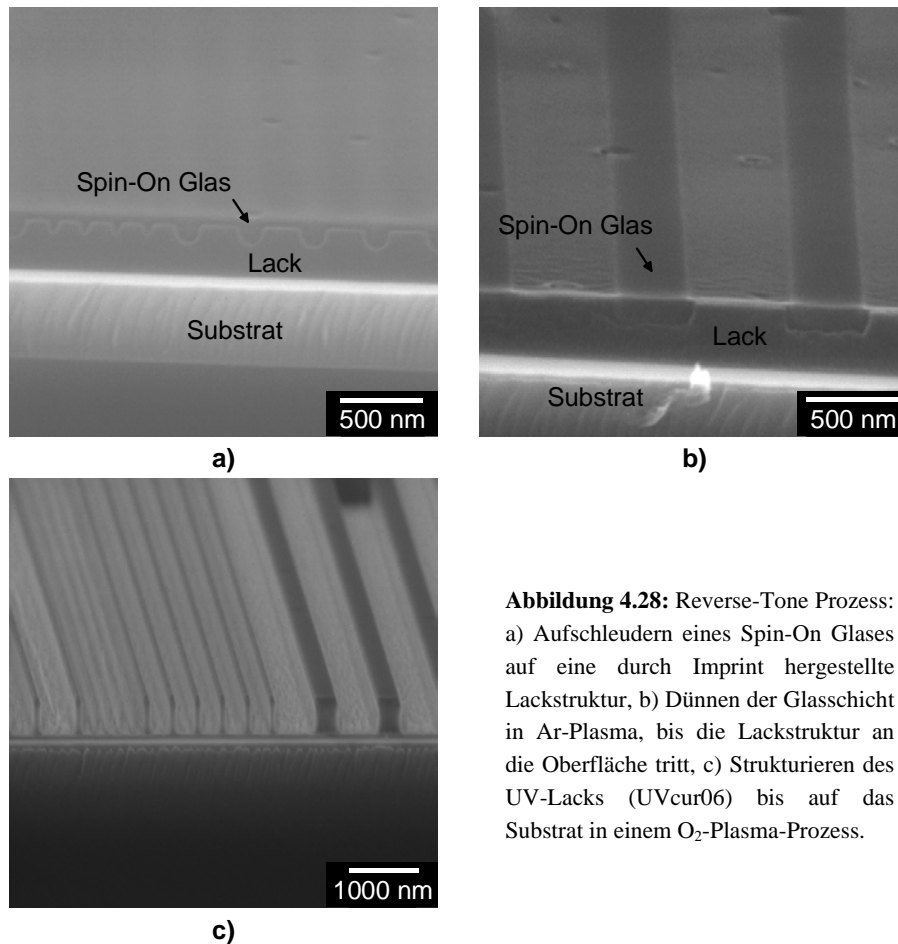


Abbildung 4.28: Reverse-Tone Prozess:
a) Aufschleudern eines Spin-On Glases auf eine durch Imprint hergestellte Lackstruktur, b) Dünnen der Glasschicht in Ar-Plasma, bis die Lackstruktur an die Oberfläche tritt, c) Strukturieren des UV-Lacks (UVcur06) bis auf das Substrat in einem O₂-Plasma-Prozess.

Anschließend wird das Glas in einem Ar-RIBE-Prozess gedünnt (ähnlich eines Polierschrittes), bis die Strukturen des UV-Lacks erreicht sind, diese also an der Oberfläche zugänglich sind (Abbildung 4.28 b). Im Folgenden wird ein O₂-Ätzschritt verwendet, um die Lackstrukturen, nicht aber das Glas, bis auf das Substrat zu entfernen (Abbildung 4.28 c). Es müssen also generell UV-Lacke, wie der UVcur06, verwendet werden, die in O₂- nicht aber in CF₄-Plasmen geätzt werden. CF₄ würde auch die Hartmaske (MSQ) angreifen. In O₂-Plasma kann das SiO₂-haltige MSQ als harte Ätzmaske zur Strukturierung des UV-Lacks dienen, sodass sehr steile Ätzflanken und in

Folge dessen Aspektverhältnisse von bis zu ~ 5 mit der Reverse-Tone Technik erzielt werden konnten. (Abbildung 4.28 c: größtes Aspektverhältnis $\sim 5 = 500 \text{ nm}$ Strukturhöhe / 100 nm Strukturbreite). Jedoch muss das Design der Stempelstrukturen dazu auf den Negativ-Prozess angepasst und somit invertiert werden.

Durch das Reverse-Tone-Prinzip können größere Residual-Layer strukturiert werden, was bei der parallelen Herstellung von sehr großen (mehreren $100 \mu\text{m}$) und sehr kleinen (sub- 50 nm) Strukturen vorteilhaft ist. Zudem bietet die Planarisierung die Möglichkeit ungleichmäßige Oberflächen zu strukturieren, wie es in [120] gezeigt wird.

4.2.7 Fencing

Werden Materialien in einem RIBE-Prozess strukturiert, so kann vor allem bei der Strukturierung von Metallen eine Redeposition des abgetragenen Materials an den Seitenrändern der Ätzmaske auftreten. Dieses Phänomen wird als Fencing bezeichnet (siehe Abbildung 4.29).

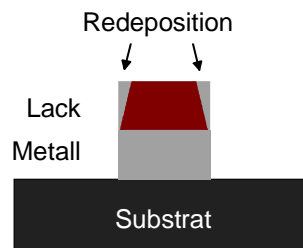


Abbildung 4.29:
Fencing, Redeposition
abgetragener Metalle an
den Seitenrändern der
Lackmaske.

Fencing wurde während der Untersuchung der Ätzprozesse insbesondere bei der Herstellung von Pt-Strukturen, welche später als Elektroden der Crossbars benötigt wurden, festgestellt. Die Problematik des Fencing zeigte sich hier deutlich nach der Entfernung der Lackmaske (Abbildung 4.30 a). Es traten parasitäre Erhöhungen an der Oberseite der Pt-Elektroden auf, welche im Querschnitt der Leiterbahn der Form von „Hasenohren“ ähneln und folglich in der Literatur dementsprechend als „Rabbit-Ears“ bezeichnet werden.

Die Reduzierung der Fencing-Effekte konnte durch einen zusätzlichen Ätzschritt nach der Strukturierung der Pt-Schicht erzielt werden (Abbildung 4.30 b). Die Lackmaske wird dabei zunächst nicht entfernt, da die Fencing-Strukturen durch sie eine Stabilisierung erfahren und ohne die Lackstütze einknicken könnten. Um nun die

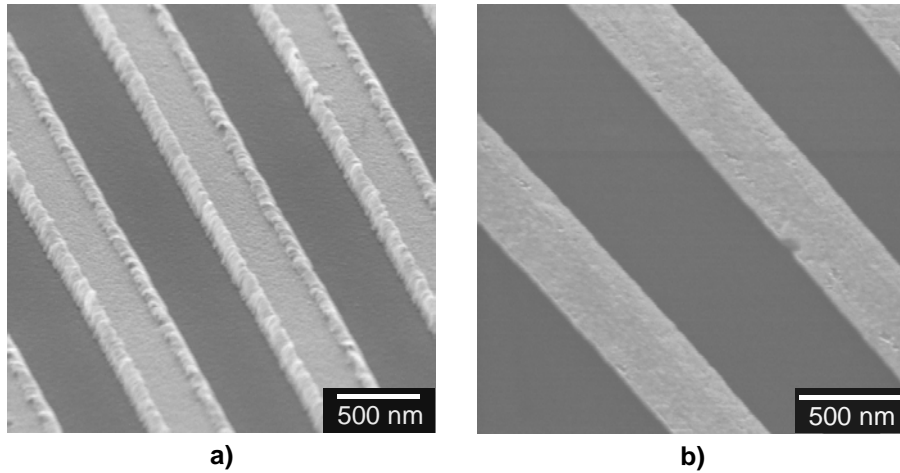


Abbildung 4.30: Pt-Strukturen nach dem Ar-Sputterätzen: a) Auswirkung des Fencing nach entfernen der Lackmaske, b) Reduzierung der Fencing-Strukturen durch 10°-Winkel-Ätzen.

Metallreste von den Lackkanten zu entfernen, wurde die Probe unter sehr flachem Winkel geätzt. Hierin diente eine 10° Verkipfung der Probe zum Ionenstrahl der Realisierung flacher Ätzwinkel. Um eine Gleichmäßigkeit des Ätzabtrags zu gewährleisten, rotierte der Probenhalter mit 10 rpm. Nach dem Anti-Fencing-Prozess wurde der Lack von der Oberfläche der Metallstrukturen entfernt und es entstanden gleichmäßig strukturierte Leiterbahnen ohne Rabbit-Ears, wie sie in Abbildung 4.30 b) dargestellt sind.

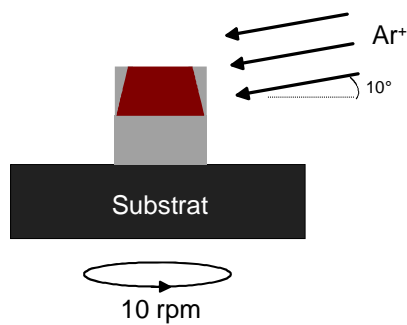


Abbildung 4.31: Reduzierung der Fencing-Strukturen durch Ätzprozesse unter sehr flachen Winkeln.

5 Herstellung von Crossbar-Strukturen

Die Herstellung der Crossbar-Strukturen bestand im Wesentlichen aus vier Teilschritten: Der Realisierung von Bottom-Elektroden, der anschließenden Planarisierung der Oberfläche, der Abscheidung des resistiv schaltenden Materials und der abschließenden Herstellung von Top-Elektroden. Die Herstellung der Top-Elektroden bedingt dabei eine Alignment-Prozedur vor der Durchführung des Imprints, in dem die Elektroden-Strukturen des Stempels orthogonal zu den Bottom-Elektroden ausgerichtet wurden.

Die Planarisierung einer bereits strukturierten Probenoberfläche stellte sich im Verlauf dieser Arbeit als notwendig heraus, um einen weiteren Top-Imprint erfolgreich durchführen zu können. Probleme, welche durch das Fehlen eines Planarisierungsschrittes entstehen, werden anhand des Crossbar-Prozesses dargestellt.

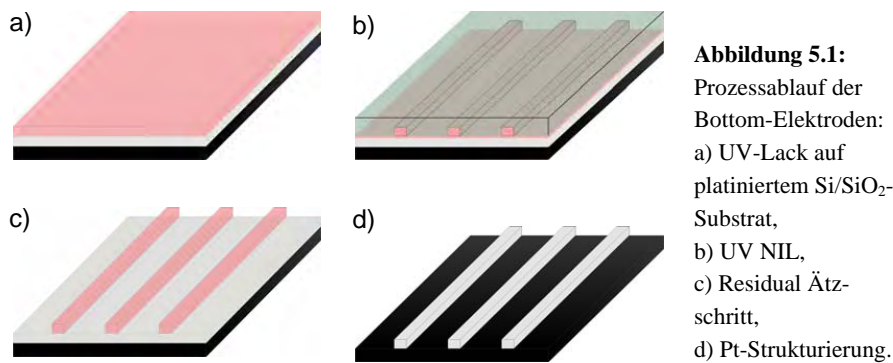
Im Folgenden werden die Teilschritte der Crossbar-Herstellung detailliert beschrieben. Dabei soll allerdings auf die Abscheidung des funktionalen Materials zunächst verzichtet werden, da diese für verschiedene Materialien in unterschiedlichen Verfahren ausgeführt werden kann. Es soll ferner die Herstellung der Crossbar-Architektur als Basisplattform vorgestellt werden, in der sämtliche, resistive Elemente integrierbar sind.

5.1 Herstellung der Bottom-Elektroden

Für die Herstellung der Bottom-Elektroden wurden 100 mm Si-Wafer als Substratmaterial verwendet. Die Oberfläche der Wafer wurde in einem Nassverfahren oxidiert, sodass eine ~ 450 nm dicke SiO_2 -Schicht entstand. Auf der Oxidschicht wurde anschließend die Metallschicht abgeschieden, aus der später durch Strukturierungsmaßnahmen die Elektroden generiert wurden. Die Metallschicht bestand standardmäßig aus einer 30 nm-dicken Pt-Lage, die auf zuvor abgeschiedenem TiO_2 deponiert wurde. TiO_2 diente dabei als Haftvermittler des Pt auf der SiO_2 -Oberfläche.

Die Strukturierung des Pt erfolgte durch einen UV-Nanoimprint Schritt und anschließendem RIBE-Prozess [116]. Dazu wurde zunächst ein Haftvermittler (Ti-Prime) und dann der UV-härtende Imprint-Lack (NXR-2010, 1,5 % Feststoffgehalt) mit 3000 rpm und 60 sec auf die Probe aufgeschleudert (Abbildung 5.1 a). In dem UV-Imprint Prozess wurde der niedrig viskose Lack unter einem Druck von 550 psi mit Hilfe des Glasstempels für 6 min geformt (Abbildung 5.1 b). Die Härtung des Lacks geschah unter vierminütiger UV-Belichtung. Nach dem Imprint wurden Stempel und

Substrat wieder voneinander separiert und der Residual-Layer in einem CF_4 -Prozess entfernt (Abbildung 5.1 c). Somit befanden sich nur noch die Lackstrukturen auf dem Pt. Diese konnten in einem Ar-Sputterprozess in die darunter liegende Metallschicht übertragen werden. In einem abschließenden O_2 -Veraschungsprozess wurden Lackreste von der Oberfläche der strukturierten Pt-Elektroden entfernt (Abbildung 5.1 d).



In Abbildung 5.2 sind beispielhafte Rasterelektronenmikroskop-Aufnahmen dargestellt, die stets zwischen den einzelnen Prozessschritten für eine Prozesskontrolle benötigt wurden. Abbildung 5.2 a) zeigt den strukturierten UV-Lack auf der Pt-Schicht nach dem Imprint. Abbildung 5.2 b) stellt die Probenoberfläche nach dem Residual-Ätzen dar und Abbildung 5.2 c) zeigt die fertig gestellten Pt-Bottom-Elektroden, welche mit einer Höhe von 30 nm, entsprechend der initialen Metallschichtdicke, in einem Profilometer gemessen wurden. Die laterale Auflösung, welche mit dem vorgestellten Prozess erreicht werden konnte, betrug für parallel verlaufende Elektroden 50 nm. Ferner wurde ein Half-Pitch von 50 nm erzielt. Der Half-Pitch bezeichnet dabei die Hälfte des periodischen Abstandes (Pitch) zweier benachbarter Strukturen. In Abbildung 5.2 c) ist der periodische Abstand, also der Pitch, mit 100 nm dimensioniert.

Einzellinien konnten generell bereits bei der Stempelherstellung mit einer Breite von bis zu 30 nm realisiert werden, da hier während der Elektronenstrahl-Lithographie der Einfluss von Überbelichtungseffekten geringer war [109]. Somit konnten auch Einzel-Bottom-Elektroden einer Linienbreite von 30 nm mit dem oben beschriebenen Technologie-Prozess hergestellt werden [106].

Nach der Herstellung der Pt-Bottom-Elektroden wurde die Waferoberfläche planarisiert, um eine homogene Grundlage für die nachfolgenden Prozessschritte zu garantieren. Ein Spin-On-Glas (hier MSQ (Methyl-Silsesquioxan) T-111 von Honeywell) diente dabei

als Planarisierungsmaterial, welches die Auffüllung der Elektrodenzwischenräume bewirkte.

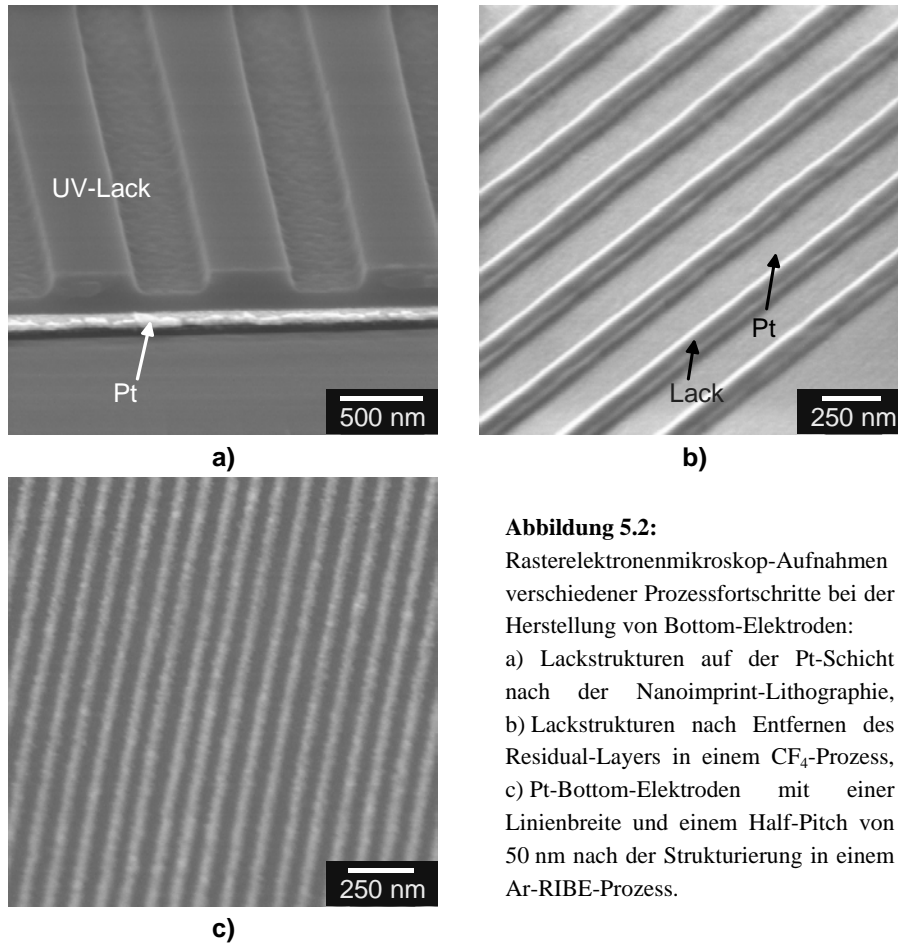


Abbildung 5.2:

Rasterelektronenmikroskop-Aufnahmen verschiedener Prozessfortschritte bei der Herstellung von Bottom-Elektroden:

a) Lackstrukturen auf der Pt-Schicht nach der Nanoimprint-Lithographie,
 b) Lackstrukturen nach Entfernen des Residual-Layers in einem CF_4 -Prozess,
 c) Pt-Bottom-Elektroden mit einer Linienbreite und einem Half-Pitch von 50 nm nach der Strukturierung in einem Ar-RIBE-Prozess.

Das MSQ wurde mit einer Schleuderrate von 2000 rpm in 30 s auf den Wafer aufgeschleudert (Abbildung 5.3 b). Danach wurde die Probe in drei Schritten, 80°C, 150°C und 250°C, je 2 min lang aufgeheizt. Dadurch wurde zum einen zunächst die Fließfähigkeit des Materials zur Planarisierung unterstützt und zum anderen der Lösungsmittelanteil verdampft. Um ein vollständiges Vernetzen des MSQ zu bewirken, musste die Probe in einem abschließenden Prozess 60 min in Stickstoffatmosphäre mit einer Temperatur von 425°C ausgeheizt werden.

Die initiale Höhe der Glasschicht auf den Bottom-Elektroden wurde mit 130 nm gemessen. Für die elektrische Verwendung wurden die Elektroden erneut freigelegt, um auf deren Oberfläche funktionales Material abscheiden zu können. Dazu wurde die MSQ-Schicht gedünnt, bis die Elektrodenoberfläche zum Vorschein kam (Abbildung 5.3 c). Abbildung 5.4 zeigt beispielhaft das Resultat des Planarisierungsprozesses von 500 nm breiten Pt-Bottom-Elektroden anhand von Rasterelektronenmikroskop-Aufnahmen.

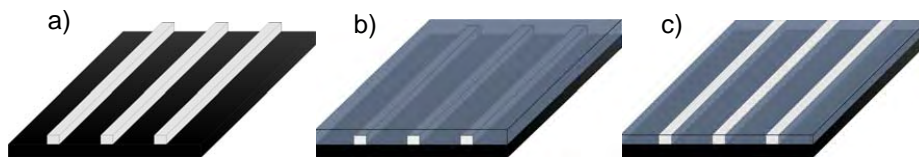


Abbildung 5.3: Planarisierungsprozess, a) Pt-Bottom Elektroden auf dem Substrat, b) Einbetten der Elektroden mit Spin-On-Glas und gleichzeitiges Planarisieren der Waferoberfläche, c) Dünnen bzw. polieren der MSQ-Schicht in einem Ar-RIBE Prozess bis die Bottom-Elektroden freigelegt sind.

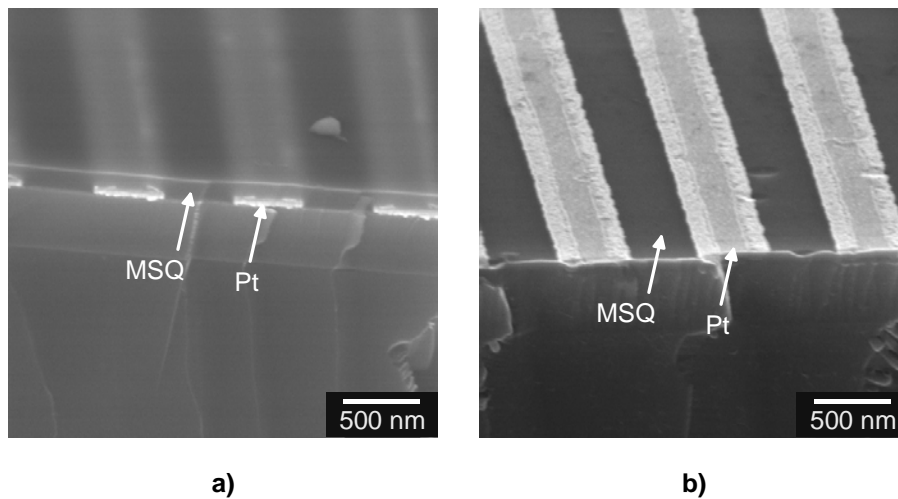


Abbildung 5.4: Rasterelektronenmikroskop-Aufnahmen des Planarisierungsprozesses, a) Einbettung der Bottom-Elektroden in Spin-On-Glas (MSQ), b) Dünnen bzw. Polieren der Glasschicht bis auf die Elektroden.

Das Dünnen der Schicht wurde mit einem Ar-Sputterprozess in der RIBE-Anlage durchgeführt. Es wurde hierbei kein reaktiver Ätz-Prozess, beispielsweise mit CF_4 , verwendet, da das Dünnen der Glasschicht einem kontrollierten Polierschritt gleichen sollte. Zumal sich die Ätzrate des Pt und die des MSQ in dem Sputterprozess ähneln - beide liegen bei $\sim 20 \text{ nm/min}$ - entsteht nahezu keine Ätzselektivität. Somit besteht einerseits die Möglichkeit, eine gute Endpunktkontrolle, aufgrund der sehr geringen Ätzrate, zu erzielen. Andererseits birgt ein leichtes Überätzen der Metall-Elektroden kein signifikantes Risiko, da stets eine Abtragung der gesamten Schicht (hier bestehend aus einer Mischung von Pt und MSQ) gewährleistet ist.

Ein reaktiver Ätzprozess impliziert höhere Ätzraten des Spin-On-Glases von $\sim 50 \text{ nm/min}$. Die Ätzrate des Pt bleibt hingegen mit $\sim 20 \text{ nm/min}$ geringer. Somit resultiert eine Ätzselektivität von MSQ zu Pt von $\sim 2,5$ durch die Verwendung des CF_4 als Prozessgas. Eine Überätzung nach Erreichen der Pt-Oberfläche muss durch die erhöhte Selektivität demzufolge unbedingt vermieden werden. Da die Metallelektroden beim Überätzen deutlich langsamer abgetragen werden als die MSQ Zwischenräume, entsteht eine ungleichmäßige Oberfläche, womit die Planarisierung erfolglos ist.

Das Planarisierungsverfahren mittels Ar-Sputtern bot dementsprechend größere Toleranzen, sodass sich der Sputterprozess als wesentlich reproduzierbarer darstellte und in Folge dessen als Standard eingeführt wurde.

Die Herstellung der Bottom-Elektroden war mit der Planarisierung abgeschlossen. Im Anschluss wurden Top-Elektroden realisiert, welche in einem Alignment-Verfahren zunächst vor dem Imprint orthogonal zu den Bottom-Elektroden ausgerichtet werden mussten.

5.2 Alignment

Das Ausrichten des Imprint-Stempels, auf dem sich Top-Elektroden-Strukturen befanden, zu einer vorstrukturierten 100 mm Waferscheibe, auf der die Bottom-Elektroden hergestellt waren, wurde mit einem Standard-Mask-Aligner (MA-6 Süss Microtec) durchgeführt. Da dieses Gerät üblicherweise für optische Lithographie-Anwendungen eingesetzt wird, musste ein angepasster Maskenhalter gefertigt werden, der den Einsatz von transparenten Glaswafern ermöglichte. Im Design des Halters war neben der andersartigen Dimensionierung der Wafermasken (z.B. die unkonventionell runde Maskenform und die geringe Dicke von $500 \mu\text{m}$) darauf zu achten, dass der Stempel nach der Justage auf dem zu strukturierenden Substrat abgelegt werden konnte. Es wurde dementsprechend ein Ventil integriert, welches durch Öffnen die Vakuumzufuhr des Halters unterbrach, durch die der Stempel gehalten bzw. fixiert wurde. Nach dem Alignment musste der ausgerichtete Waferstapel zur Imprint-Anlage

transportiert werden, in welcher der Lithographie-Prozess stattfand.

Für die Alignment-Prozedur wurde der strukturierte Substrat-Wafer auf einen Halter in einer Transferschublade des MA-6 gelegt, mittels Vakuumsaugung fixiert und in den Mask-Aligner geschoben. Zuvor wurde der Maskenhalter inklusive des Imprint-Stempels derart in die Anlage eingebaut, dass nun das Substrat und der Stempel übereinander positioniert waren. Zur Feinausrichtung wurde die Probe auf einen Abstand von $50\text{ }\mu\text{m}$ an den Stempel herangebracht (Abbildung 5.5). Durch den Alignment-Abstand wurde ein direkter Kontakt von Substrat und Wafer verhindert.

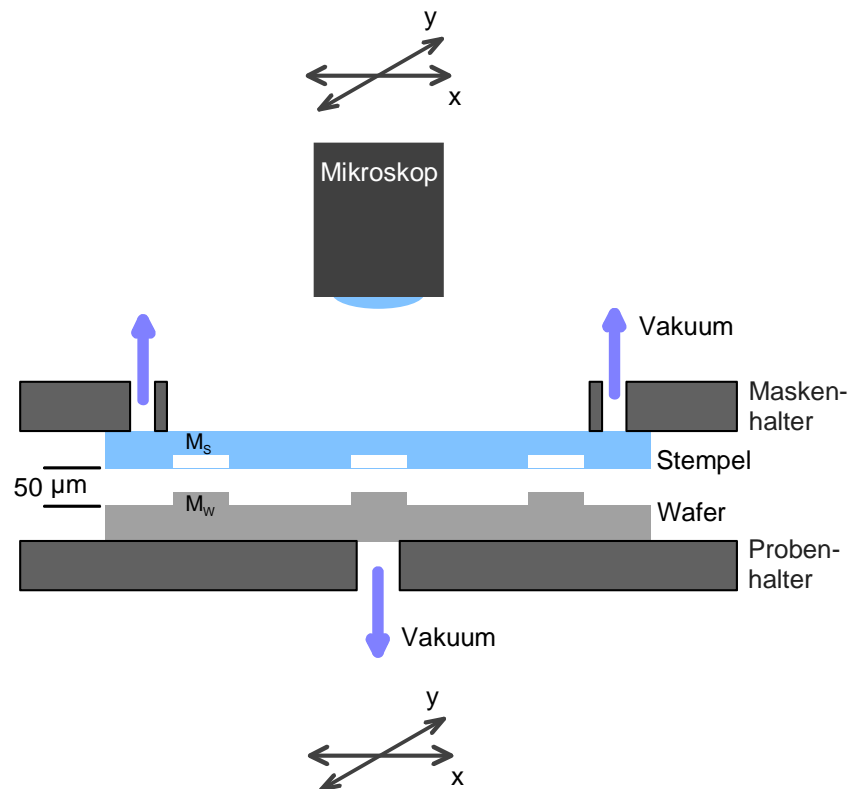


Abbildung 5.5: Aufbau des Mask-Aligners und Prinzipdarstellung der Alignment-Prozedur.

Über ein Mikroskop, welches in X-Y-Richtung verfahren werden konnte, wurden die Alignment-Marker des Stempels (M_s) als auch des Wafers (M_w) gesucht. Durch eine

Memory-Funktion konnte die Position des Mikroskops über den Markern gespeichert werden. Der erste Justage-Schritt bestand zunächst darin, M_S und M_W grob übereinander zu legen. Dabei wurde der Substrat-Wafer mit Hilfe des positionierbaren Probenhalters ausgerichtet, wohingegen der Stempel stets fixiert blieb. Die Position des Probenhalters konnte dabei über Mikrometerschrauben in X-Y-Richtung variiert werden. Ferner konnte eine Winkelkorrektur, bei einer Verdrehung von M_W und M_S zueinander, vorgenommen werden.

Während der Feinjustage, durch welche die maximale Alignment-Präzision erzielt werden sollte, wurden abwechselnd die Marker in der Wafermitte und die Marker, welche außen positioniert waren, mit dem Mikroskop angefahren. Dabei wurde stets im Zentrum die X-Y-Korrektur und auf dem Waferrand die Winkelkorrektur alternierend durchgeführt, bis die Alignment-Marker (im Rahmen der erreichbaren Genauigkeit) korrekt aufeinander lagen.

Nach der Ausrichtung wurde der Substratwafer in Kontakt mit dem Stempel gebracht. Der niedrig viskose UV-Lack, welcher zuvor für den anschließenden Imprint aufgebracht wurde, sorgte dafür, dass sich der Stempel auf dem Wafer ansaugte. Dadurch war eine Haftung des Stempels auf dem Wafer auch während des Transports zur Imprint-Anlage gewährleistet. Es wurden keine Einflüsse der Handhabung während des Probentransfers auf die Güte des Alignments festgestellt. Die justierten Wafer konnten auch durch vorsätzliche, mechanische Einflüsse nicht (sichtbar) gegeneinander verschoben werden.

Die Marker, welche für das Ausrichten verwendet wurden, bestanden aus zwei unterschiedlichen Strukturen. Es waren sowohl Kreuzstrukturen für die grobe Justage als auch kreisförmige Moiré-Strukturen für das feine Alignment auf Substrat und Maske vorgesehen. Die Moiré-Strukturen dienten dabei der Präzisionssteigerung der Ausrichtung durch optische Interferenz-Effekte. Abbildung 5.6 zeigt das Design beider Markertypen.

Das Stempelayout wurde derart designed, dass bei einer 180° -Rotation des Stempels um dessen Mittelpunkt orthogonal ausgerichtete Elektroden-Arrays entstanden. Die eine Hälfte des Stempelwafers beinhaltete dementsprechend vertikale, die andere horizontale Elektrodenstrukturen. Ferner wurden Alignment-Markerpaare entworfen, welche bei einer 180° -Rotation des Layouts übereinander lagen. In Abbildung 5.6 a) und b) sind die beiden unterschiedlichen Kreuzstrukturen für die Grobjustage dargestellt, welche aufeinander positioniert wurden. Sowohl die quadratische Umrandung (Breite: $160\text{ }\mu\text{m}$ bzw. $180\text{ }\mu\text{m}$) als auch die zentrale Kreuzstruktur (Kreuzzentrum: $2\text{ }\mu\text{m}$) wurden unterschiedlich dimensioniert, sodass durch die Überlagerung beider Designs Überlappungseffekte entstanden, welche mit Hilfe des optischen Mikroskops

wahrgenommen werden konnten (vgl. Abbildung 5.7 a).

Es boten sich dabei für eine grobe Erstjustage die Überlappung der quadratischen Randstrukturen an. Weiterhin ließen die Kreuzstrukturen im Zentrum, durch deren geringeren Überlappungsspielraum, eine wesentlich feinere Justierung zu. Nachzuvollziehen ist dies an den hellen Flächen seitlich der Kreuze. Sie sind mit $1\text{ }\mu\text{m}$ x $10\text{ }\mu\text{m}$ dimensioniert. Bei einem erfolgreichen Alignment erscheinen diese relativ kleinen Flächen an allen Seiten des Kreuzes gleich groß.

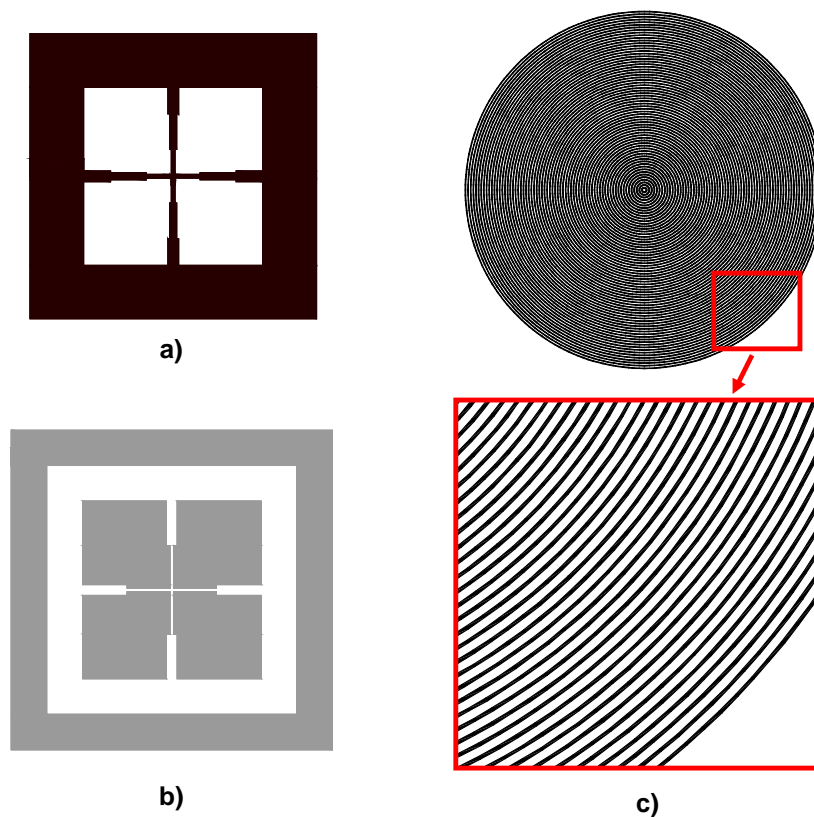


Abbildung 5.6: Alignment-Marker: a), b) Kreuzstrukturen für das grobe Alignment, c) kreisförmige Moiré-Strukturen für das feine Alignment.

Abbildung 5.6 c) zeigt das Layout der Moiré-Strukturen, welche für die Feinstjustierung entworfen wurden. Die Struktur bestand aus kreisförmigen Linien unterschiedlichen Durchmessers, welche einen definierten Abstand zueinander aufwiesen. Auch hier

wurden zwei verschiedene Marker designed, welche durch die Rotation des Stempels übereinander positioniert wurden. Die Linienbreite betrug bei beiden Mustern 200 nm. Die Abstände der Linien hingegen variierten. Eine der Strukturen enthielt einen Abstand von 730 nm die andere einen Abstand von 750 nm. Werden Marker unterschiedlicher Linienabstände während des Alignments exakt zentrisch übereinander gelegt, so entsteht eine neuartige Struktur, in der ein Interferenz-Muster, bestehend aus hellen und dunklen, zentrischen Kreissegmenten, zu erkennen ist (Abbildung 5.7 b). Ein Versatz beider Strukturen zueinander ist dadurch zu erkennen, dass andere dezentrische Interferenzmuster auftreten. Abbildung 5.7 c) zeigt einen beispielhaften Versatz beider Marker um $1,7\text{ }\mu\text{m}$ in y-Richtung. Je nach Anzahl der auftretenden, dezentrischen Interferenzringe kann die Verschiebung quantitativ bewertet werden.

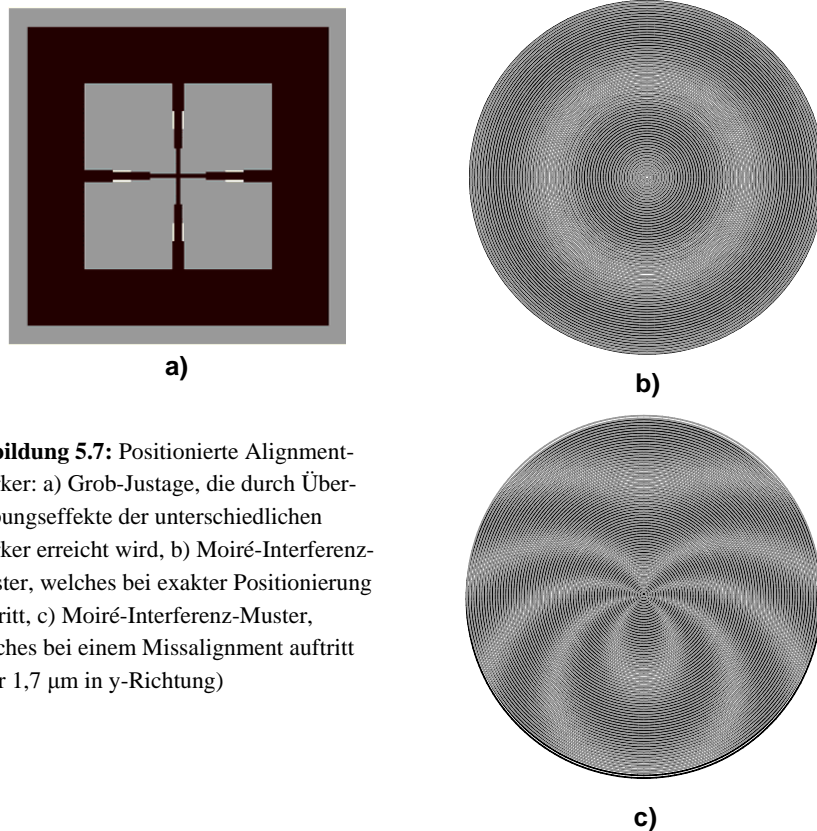


Abbildung 5.7: Positionierte Alignment-Marker: a) Grob-Justage, die durch Überlappungseffekte der unterschiedlichen Marker erreicht wird, b) Moiré-Interferenz-Muster, welches bei exakter Positionierung auftritt, c) Moiré-Interferenz-Muster, welches bei einem Missalignment auftritt (hier $1,7\text{ }\mu\text{m}$ in y-Richtung)

Die Bildung der optischen Interferenzmuster lässt sich aus dem Phänomen der Schwebung ableiten, welches aus der Akustik bekannt ist. Hier entsteht aus der Überlagerung zweier ähnlicher Frequenzen eine dritte niederfrequente Schwingung. Auf die Optik übertragen, entsteht durch die Überlagerung zweier Liniengitter der Gitterabstände a_1 und a_2 eine Helligkeitsmodulation mit einem Gitterabstand a_3 von:

$$a_3 = \frac{a_1 \cdot a_2}{a_2 - a_1}$$

Für den Fall der Alignment-Marker ergibt sich mit den oben angegebenen Werten ein a_3 von ca. 27 μm . Der Durchmesser der Gesamtstruktur beträgt 100 μm , wodurch bei einer exakten Justage drei zentrische Ringe unterschiedlicher Helligkeit zu erkennen sind.

Die theoretische Alignment-Präzision lag durch die Verwendung der Moiré-Strukturen im Bereich von ~ 100 nm. Dies konnte mit Hilfe der CAD-Software durch die Überlagerung und sukzessive Verschiebung beider Designs gegeneinander bestätigt werden. Hier bewirkten bereits kleine Veränderungen (ab 100 nm Versatz) durchaus erkennbare Abweichungen der optimalen Justage, womit eine optische Verstärkung, durch den Einsatz von Interferenzmustern, für das Alignment von Nutzen zu sein schien.

Bei der experimentellen Untersuchung der Marker stellte sich jedoch heraus, dass sich die Verwendung der Kreisstrukturen als schwierig gestaltete. Zum einen konnten Substratwafer und Stempel aufgrund deren Abstandes von 50 μm durch das Mikroskop nicht gleichzeitig fokussiert werden. Eine Interferenzerscheinung trat daher nur dann auf, wenn Wafer und Stempel z.B. durch mechanische Verbiegung an einigen Stellen näher beieinander waren. Dies war jedoch eher selten und daher nicht reproduzierbar. Ein anderes Problem ergab sich, wenn Substrat und Stempel bereits während der Alignment-Prozedur in Kontakt traten, was bei einer Verbiegung > 50 μm passieren konnte. Dabei wurden die Moiré-Marker des Stempels mit UV-Lack gefüllt. Da sich die Brechungsindizes des Lacks und des Stempels nahezu glichen ($n_{\text{Lack}} = 1,56$, $n_{\text{Glas}} = 1,55$), traten auch in diesem Fall keine Interferenzeffekte auf. Somit waren die Moiré-Strukturen während des Alignments nicht einsetzbar und konnten lediglich zu späteren Analyse Zwecken (z.B. zur Bewertung der erzielten Alignment-Präzision) verwendet werden.

Auch ohne die Zuhilfenahme einer optischen Verstärkung durch Interferenz-Muster konnte eine ausreichende Justage-Genauigkeit unter Verwendung der Kreuzstrukturen erzielt werden. Abbildung 5.8 zeigt ein beispielhaftes Ergebnis anhand einer optischen Mikroskopaufnahme. Die Marker, welche sich auf dem Substrat-Wafer befanden,

wurden gleichzeitig mit den Bottom-Elektroden hergestellt und bestanden demzufolge aus 30 nm hohem Pt. Die Marker des Stempels waren, wie auch die Elektroden-Strukturen, in den Glaswafer geätzt (vgl. Kapitel 4.2.1).

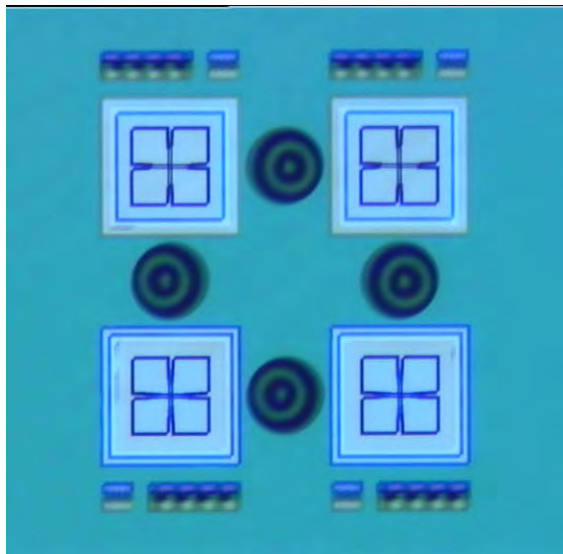


Abbildung 5.8:
Optische
Mikroskopaufnahme
der Alignment-
Marker nach der
Nanoimprint-
Lithographie.

Anhand der Moiré-Strukturen konnte ein Versatz der Strukturen zueinander von ~ 200 nm gemessen werden. Dies entsprach zugleich der maximalen Positionierungsgenauigkeit einer Top-Lage auf einer vorhandenen Struktur mit Hilfe des verwendeten Systems und der entworfenen Marker.

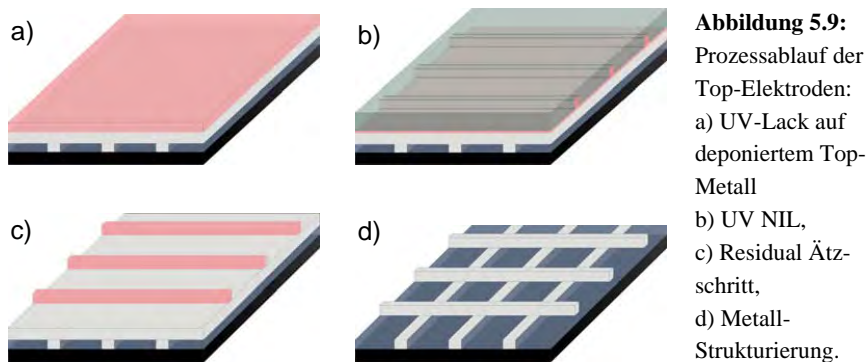
Die ermittelte Positionierungs-Genauigkeit von < 500 nm war aufgrund des Elektrodenlayouts für eine erfolgreiche Herstellung von Crossbar-Arrays ausreichend. Im Stempellayout wurde eine Alignment-Toleranz von $5 \mu\text{m}$ vorgesehen. Diese Toleranz ergab sich aus der Distanz, welche zwischen dem Nano-Array und dem Beginn der abgewinkelten Zuleitungsperipherie bei einem exakten Alignment im Layout vorgesehen wurde (siehe Kapitel 4.2.1, Abbildung 4.12).

5.3 Herstellung der Top-Elektroden

Für die Herstellung der Top-Elektroden wurden im Wesentlichen zwei Metalle benötigt. Bei der Realisierung von Crossbar-Elementen, bei denen inerte Metalle erfordert waren, diente 30 nm dickes Pt als Elektrodenmaterial. Dies war beispielsweise bei der

Integration von resistiv schaltendem TiO_2 der Fall (vgl. Kapitel 3.1). Bei der Herstellung von Crossbar-Elementen, bei denen oxidierbare Metalle benötigt wurden, fiel die Wahl auf einen Metallstapel aus 50 nm Ag, worauf 10 nm Pt deponiert wurde. Das Pt diente dem Schutz des Ag bei der späteren elektrischen Kontaktierung. Die Verwendung von Ag bedarf es beispielsweise bei der Herstellung resistiv schaltender GeSe- oder SiO_2 -Speicher (vgl. Kapitel 3.1).

Die Herstellungsprozesse beider Top-Elektroden-Arten waren unter der Verwendung jener Metalle gleich. Lediglich die Ätzzeit der Metallstrukturierung variierte geringfügig (siehe Prozessparameter Anhang), was jedoch in der Elektrodenform keinen signifikanten Unterschied ausmachte. Abbildung 5.9 zeigt den Prozessablauf zur Herstellung der Top-Elektroden.



Auf die planarisierten Bottom-Elektroden wurde das Metall der Top-Elektroden deponiert. Auf die Abscheidung des funktionalen Speichermaterials wurde an dieser Stelle verzichtet, da zunächst die Herstellung der reinen Crossbar-Architektur, welche als Integrations-Plattform sämtlicher Materialien dienen sollte, im Fokus stand. Nach der Top-Metallisierung wurde der UV-Lack für den Nanoimprint in gleicher Weise wie für die Bottom-Elektroden aufgeschleudert (Abbildung 5.9 a). Mit Hilfe des Mask-Aligners erfolgte die Ausrichtung des Imprint-Stempels bezüglich der Bottom-Elektroden (Abbildung 5.9 b). Die Prozessparameter der anschließenden Nanoimprint-Lithographie zur Strukturierung des Lacks waren die gleichen wie bei der Herstellung der Bottom-Elektroden. Nach dem Imprint und der Separation von Stempel und Substrat wurde der Residual-Layer in einem CF_4 -Prozess entfernt (Abbildung 5.9 c). Abschließend wurden die Lackstrukturen in das darunter liegende Metall mit Hilfe eines Ar-Sputterprozesses übertragen (Abbildung 5.9 d). Es entstanden orthogonal gekreuzte Linien, Crossbar-

Arrays.

Abbildung 5.10 zeigt anhand von Rasterelektronenmikroskop-Aufnahmen die Resultate hergestellter Crossbar Strukturen. Darin ist in Abbildung 5.10 a) zunächst ein Array mit einem Half-Pitch von 200 nm dargestellt. Anhand dieser Aufnahme verdeutlicht sich die Effizienz des Planarisierungsschrittes bei der Herstellung der Bottom-Elektroden. Die Top-Elektroden zeigen keinen Ansatz von Stufen oder ähnlichen Artefakten, die durch eine unebene Bottom-Oberfläche entstehen würden (siehe Kapitel 5.5) [106].

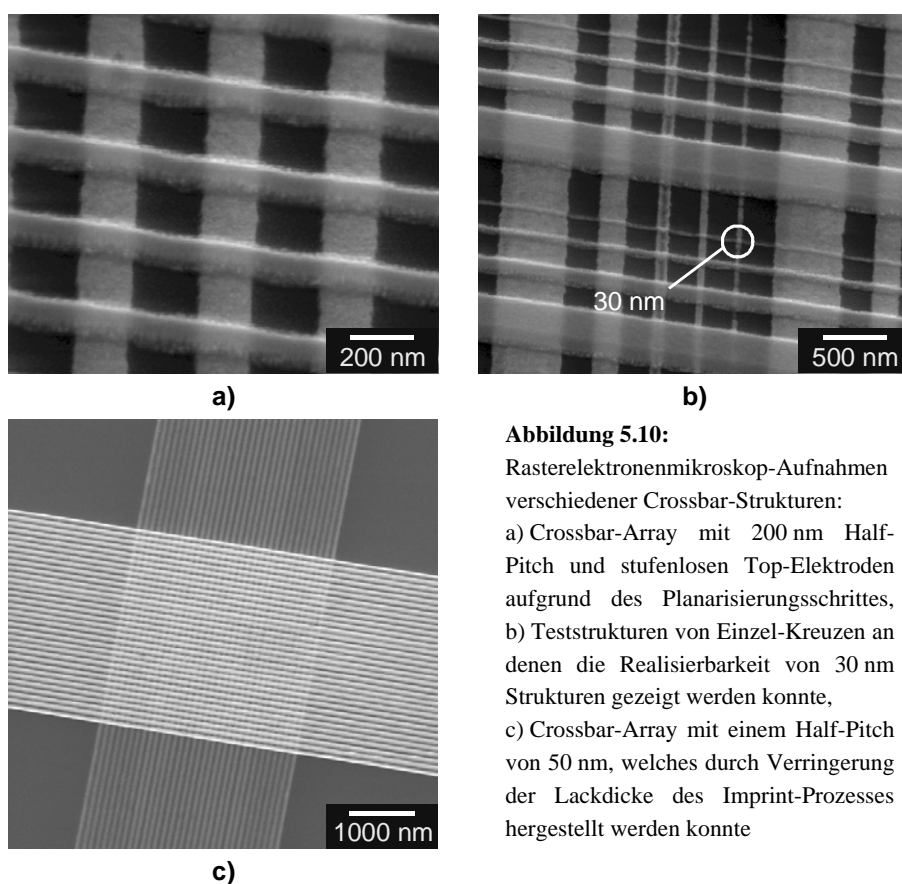


Abbildung 5.10:

Rasterelektronenmikroskop-Aufnahmen verschiedener Crossbar-Strukturen:
 a) Crossbar-Array mit 200 nm Half-Pitch und stufenlosen Top-Elektroden aufgrund des Planarisierungsschrittes,
 b) Teststrukturen von Einzel-Kreuzen an denen die Realisierbarkeit von 30 nm Strukturen gezeigt werden konnte,
 c) Crossbar-Array mit einem Half-Pitch von 50 nm, welches durch Verringerung der Lackdicke des Imprint-Prozesses hergestellt werden konnte

Anhand von Teststrukturen unterschiedlicher Linienbreiten wurde die Auflösung, welche mit dem Herstellungsprozess realisiert werden konnte, demonstriert (Abbildung 5.10 b). Es konnten Linienbreiten und damit Single-Cross-Strukturen bis zu

30 nm hergestellt werden. Allerdings bedurfte es dabei der Reduzierung der Lackdicke für die Nanoimprint-Lithographie, da bei Verwendung der standardisierten Lackdicke Ätzverluste die Herstellung kleiner Linienbreiten erschwerten (vgl. Kapitel 4.2.5). Eine Reduzierung der Lackdicke implizierte jedoch stets den Verlust großer Flächen während des Imprints (vgl. Kapitel 4.2.3). Im Fall der Crossbar-Strukturen bedeutete dies, dass die Zuleitungsperipherie und die Kontaktflächen nicht gleichzeitig mit den 30 nm Strukturen hergestellt werden konnten. Eine elektrische Charakterisierung dieser Single-Crosses war daher nicht möglich. Gleiches galt für Arrays mit einem Half-Pitch < 100 nm. Diese konnten im Zentrum defektfrei hergestellt werden (siehe Abbildung 5.10 c). Die elektrische Funktionsfähigkeit dieser war aufgrund teils unvollständiger Zuleitungen, nur bedingt vorhanden. Die Umgehung des Problems defektbehafteter Zuleitungen war u.a. die Realisierung der Kontaktperipherie durch andere Herstellungsverfahren (vgl. Kapitel 5.4).

Die Funktionsfähigkeit der Arrays (mit einem Half-Pitch ≥ 100 nm) wurde anhand von Leitungswiderstandsmessungen überprüft. Dazu wurden 8 bit-Arrays mit Linienbreiten von 100 nm, 200 nm und 500 nm untersucht. In Abbildung 5.11 sind beispielhaft die Messergebnisse verschiedener Strukturen dargestellt.

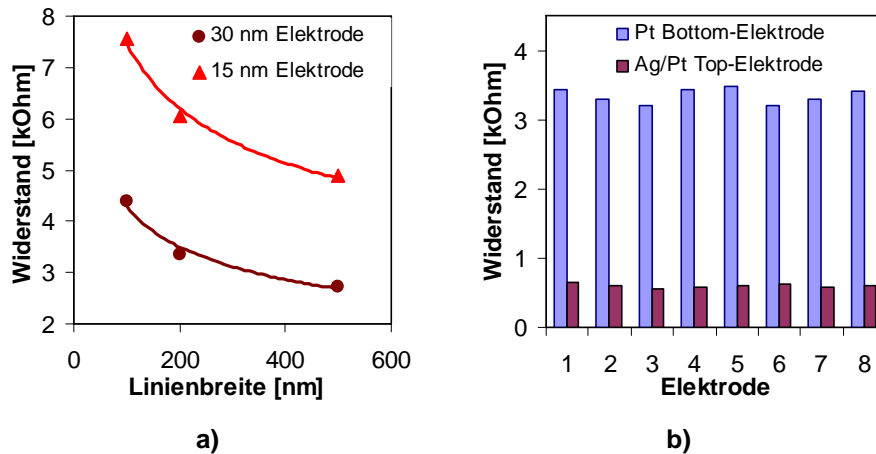


Abbildung 5.11: Leitungswiderstandsmessungen: a) zweier unterschiedlich hohen Platin-Elektroden, b) eines Arrays mit 30 nm dicken Pt Bottom-Elektroden und 60 nm dicken Ag/Pt Top-Elektroden. Die Linienbreiten betrugen hierbei 200 nm. Die Messungen wurden an Arrays durchgeführt, bei denen funktionales bzw. isolierendes Material (TiO_2 oder Methyl-Silsesquioxan) zwischen Bottom- und Top-Elektroden integriert wurde.

Zunächst wurden Pt-Elektroden verschiedener Höhen miteinander verglichen (Abbildung 5.11 a). Dazu wurden 15 nm und 30 nm hohe Elektroden unterschiedlicher Linienbreite hergestellt und deren Leitungswiderstände mit Hilfe von Strom-/Spannungsmessungen aufgenommen. Bottom-Elektroden einer Höhe von 15 nm sollten hierbei eine Alternative zu dem Planarisierungsschritt darstellen (vgl. Kapitel 5.5). Erwartungsgemäß lagen die Widerstandswerte der 15 nm Elektroden um ca. ein Zweifaches höher als die der 30 nm Elektroden. Dies ergibt sich aus dem geringeren Leiterquerschnitt dünnerer Elektroden und wird aus

$$R_{\text{Elektrode}} = \frac{l}{\kappa \cdot A} \quad (5.1)$$

deutlich. R ist darin der Elektrodenwiderstand, l die Leiterlänge, A die Leiterquerschnittsfläche und κ die Leitfähigkeit des Metalls. Durch relative Ungenauigkeiten während der Metalldeposition konnten die Metalldicken nicht nanometergenau hergestellt werden. Dadurch lässt sich erklären, dass die Widerstandsverhältnisse der unterschiedlich hohen Leiterbahnen nicht exakt dem Zweifachen entsprachen.

Eine Widerstandsverringering ergibt sich bei Erhöhung der Elektrodenbreite, da die Querschnittsfläche $A = b \cdot a$ (b : Breite, a : Höhe) der Leiterbahn wächst. Die Widerstandsfunktionen der Abbildung 5.11 a) skalieren jedoch nicht mit b^{-1} , wie anhand von Gleichung (5.1) angenommen werden könnte. Dies ist damit zu erläutern, dass zum einen der Widerstand der Zuleitungsperipherie auch bei Änderung der Nano-Leitungen konstant bleibt. Zum anderen impliziert eine Verbreiterung der Elektroden die gleichzeitige Verlängerung der Leiterbahnen, zumal die gesamte Array-Fläche wächst. Da sich Top- und Bottom-Elektroden im Zentrum kreuzen, bedeutet eine Verbreiterung der Bottom-Elektroden eine Verlängerung der Top-Elektroden und umgekehrt. Wird z.B. bei einem 8-bit Array die Leiterbahnbreite von 100 nm auf 200 nm erhöht, so entsteht eine Leitungslängendifferenz von:

$$(N_{\text{Leiter}} + N_{\text{Abstände}}) \cdot 200 \text{ nm} - (N_{\text{Leiter}} + N_{\text{Abstände}}) \cdot 100 \text{ nm} = 1500 \text{ nm},$$

wobei N_{Leiter} die Anzahl der Leiterbahnen (hier 8) und $N_{\text{Abstände}}$ die Anzahl der Abstände zwischen den Leiterbahnen (hier 7) beschreiben. Die Verlängerung des Leiters um 1,5 μm wirkt widerstandsvergrößernd und damit entgegengesetzt zum Einfluss der Elektrodenverbreiterung. Dies fällt allerdings nur für die reine Array-Fläche, in der sich Top- und Bottom-Elektroden kreuzen, ins Gewicht.

Wird der zusätzliche Nano-Leitungsanteil berücksichtigt, der aufgrund der Alignment-Toleranz hinzugefügt wurde und stets längenkonstant bleibt, relativiert sich der Einfluss

der oben erwähnten Leitungslängenänderung im Array-Zentrum. Jene Leitungslänge fällt mit 10 μm (5 μm Toleranz an jeder Seite) deutlich auffälliger ins Gewicht. Dies kann an folgendem Zusammenhang abgeschätzt werden, bei der eine Serienschaltung aus drei Widerständen für die entsprechenden Leitersegmente angenommen wird:

$$\frac{R_{200\text{nm}}}{R_{100\text{nm}}} = \frac{\frac{l_{\text{Align}}}{b_{200\text{nm}}} + \frac{l_{\text{Array}}}{b_{200\text{nm}}} + \frac{l_{\text{Align}}}{b_{200\text{nm}}}}{\frac{l_{\text{Align}}}{b_{100\text{nm}}} + \frac{l_{\text{Array}}}{b_{100\text{nm}}} + \frac{l_{\text{Align}}}{b_{100\text{nm}}}} \cdot \left(\frac{1}{\kappa \cdot a} \right) = \frac{\frac{5\mu\text{m} + 3\mu\text{m} + 5\mu\text{m}}{200\text{nm}}}{\frac{5\mu\text{m} + 1,5\mu\text{m} + 5\mu\text{m}}{100\text{nm}}} = 0,56$$

wobei l_{Align} den Leitungslängen entspricht, die für die Alignment-Toleranzen vorgesehen wurden, l_{Array} den Leitungsabschnitt beschreibt, der sich im Array-Zentrum (Kreuzung von Bottom- und Top-Elektroden) befindet, und b der Leiterbreite entspricht.

Das theoretische Widerstandsverhältnis ($R_{200\text{nm}}/R_{100\text{nm}} = 0,56$) der 200 nm Elektroden zu den 100 nm Elektroden zeigt hierin eine deutliche Verringerung des Widerstandswertes bei Verdopplung der Leiterbahnbreite (die Zuleitungsperipherie wurde dabei nicht berücksichtigt). Somit ist eine tendenzielle Abnahme des Leitungswiderstandes durch die Elektrodenverbreiterung (wie in Abbildung 5.11 a) für das vorliegende Elektroden-Layout nachzuvollziehen. Es sei jedoch zu berücksichtigen, dass Crossbar-Arrays ohne Zuleitungsperipherie und Alignment-Toleranzen gewiss andere Skalierungsverhalten aufweisen würden. Hier gewinnen fundamentale Gesetzmäßigkeiten, wie das Streuen der Elektronen an Metallkorngrenzen oder Leiterwänden, bei der Leiterbahnskalierung wesentlich an Bedeutung [121]. Wird die Elektrodenbreite bis in den sub-100 nm-Bereich verringert, so verringern jene Leitungsverluste die Leitfähigkeit der Nanoelektroden signifikant.

Abbildung 5.11 b) zeigt das Ergebnis von Widerstandsmessungen einzelner Elektroden eines 8 bit Arrays mit 200 nm Elektroden. Es sind die Widerstände der 30 nm hohen Pt Bottom-Elektroden im Vergleich zu denen der 60 nm hohen Ag/Pt Top-Elektroden dargestellt. Dabei liegen die Widerstandswerte der Bottom-Elektroden mit $\sim 3,3 \text{ k}\Omega$ deutlich höher als die der Top-Elektroden mit $\sim 0,6 \text{ k}\Omega$. Dies ist sowohl dadurch bedingt, dass die Top-Elektroden höher sind, als auch, dass Ag eine höhere Leitfähigkeit als Pt besitzt.

Ferner sind geringe Schwankungen der Widerstandswerte auffällig. Diese lassen sich auf die Zuleitung der Arrays zurückführen, welche aufgrund des Layouts

unterschiedlich lang ausfallen. Wie in Abbildung 4.12 dargestellt, bildet der Array-Rand eine Dreiecksform aufgrund verschieden langer Nanoleitungen im Zentrum. Diese Form war notwendig, um die Zuleitungsperipherie in definierten Winkeln vom Zentrum nach Außen (zu den Kontaktflächen) möglichst platz sparend zu führen.

Die Kenntnis der Leitungswiderstände war für die spätere Anwendung der Crossbar-Arrays als Architektur-Plattform resistiver Speicher von Bedeutung, um Speicherzellenwiderstände von denen der Elektroden differenzieren zu können.

5.4 Alternative Herstellung der Zuleitungsperipherie

Wie in Kapitel 4.2.3 erwähnt wurde, birgt das Nanoimprint-Verfahren das Risiko, bei der Herstellung von Elektroden im sub-50 nm Bereich, die Zuleitungen und die Kontaktflächen der Crossbar-Arrays zu verlieren. Demzufolge werden bei sehr kleinen Arrays entweder zusätzliche Imprint-Schritte oder alternative Verfahren zur Herstellung der Zuleitungsperipherie benötigt.

Eine alternative Möglichkeit bietet die Realisierung der Leiterbahnen mittels optischer Lithographie und Lift-Off-Technik. Abbildung 5.12 stellt den Prozessverlauf des Verfahrens dar.

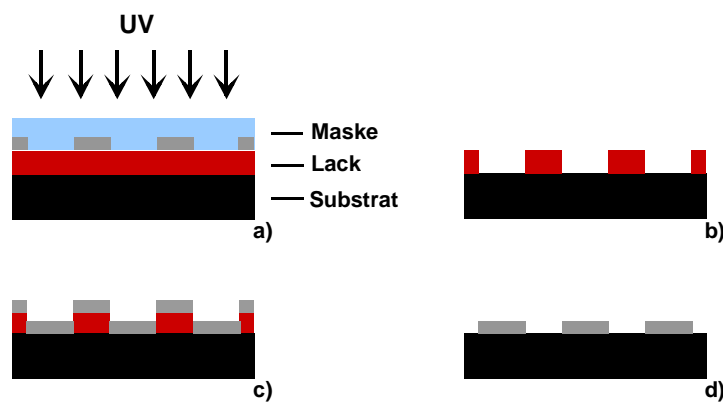


Abbildung 5.12: Herstellungsprozess alternativer Zuleitungen mittels optischer Lithographie und Lift-Off-Technik.

Ein belacktes Substrat wird durch eine mit Chrom strukturierte Lithographiemaske belichtet (Abbildung 5.12 a). Die Flächen des Lacks, welche sich nicht unter einer Chromschicht der Maske befinden, können durch die UV-Strahlung erreicht werden.

Durch die Belichtung werden die Polymerketten des UV-empfindlichen Photolacks aufgebrochen und können in einem Entwickler gelöst werden (Abbildung 5.12 b). Der unbelichtete Lack wird durch den Entwickler nicht angegriffen. Die Probe wird nun ganzflächig mit Metall bedampft (Abbildung 5.12 c). Dabei scheidet sich das Metall an den freientwickelten Stellen direkt auf der Probe ab. In einem Lösungsmittelbad kann anschließend der restliche Lack entfernt werden (Abbildung 5.12 d). Mit ihm wird der Metallanteil entfernt, welcher auf den Lackstrukturen und somit nicht direkt auf der Probenoberfläche deponiert wurde.

Mit Hilfe des Lift-Off-Prozesses wurden die Zuleitungen und die Kontaktflächen von Bottom-Elektroden realisiert. Dazu wurden zunächst Proben verwendet, bei denen der Imprint mit dünnem UV-Lack durchgeführt wurde, die Peripherie also lediglich unzureichend existierte (vgl. Kapitel 4.2.3, Abbildung 4.17). Die defektbehafteten Zuleitungen wurden infolgedessen mit einer 50 nm dicken Pt-Schicht übermetallisiert. In einer Alignment-Prozedur wurden dazu die Zuleitungsstrukturen der Lift-Off-Maske über die Zuleitungen der Bottom-Elektroden gelegt. Die Lift-Off-Maske enthielt darin die Kontaktflächen und die Zuleitungsstrukturen ab einer Breite von 20 µm. Somit wurde die Peripherie nicht direkt bis an die Nanoleitungen übermetallisiert, sondern nur zum Teil erneuert (Abbildung 5.13).

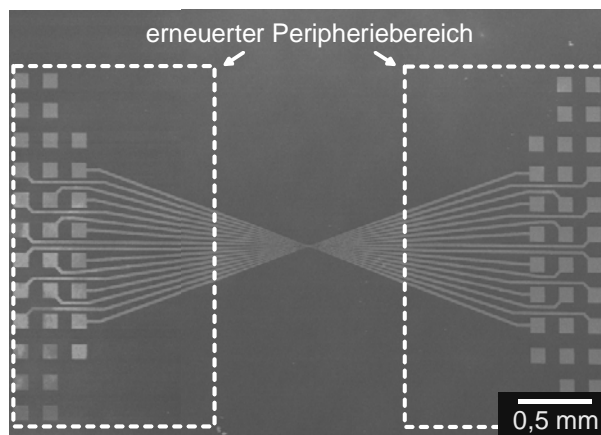


Abbildung 5.13
REM-Aufnahme einer Bottom Elektrode, deren Zuleitungsperipherie partiell in alternativer Herstellungsweise realisiert wurde.

Die Funktionalität der Leiterbahnen konnte anhand von Widerstandsmessungen nachgewiesen werden. Abbildung 5.14 zeigt einen Vergleich der Bottom-Elektroden, die in einem Standard-Prozess hergestellt wurden, zu denen, welche mit einer alternativen Zuleitungsperipherie realisiert wurden. Ein 8 bit-Elektroden-Layout mit

200 nm breiten Pt-Leiterbahnen diente als Basis.

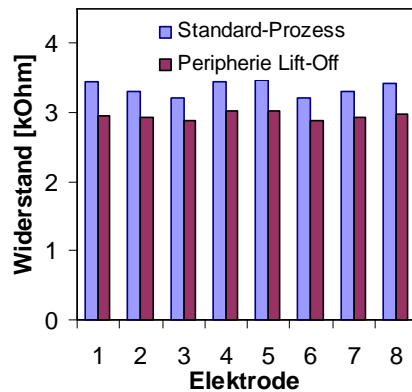


Abbildung 5.14:

Widerstandsmessungen an Pt Bottom-Elektroden, die zum einen in einem Standard-Prozess hergestellt wurden und zum anderen, alternativ dazu, mit einem Peripherie-Lift-Off-Prozess realisiert wurden.

Alle Leitungen waren hierin funktionsfähig. Es stellte sich zudem heraus, dass die Widerstandswerte der standardisierten Elektroden um $\sim 400 \Omega$ höher lagen als die, bei denen die alternative Zuleitung mit 50 nm Dicke nahezu die zweifache Höhe betrug. Der relativ geringe Widerstandsunterschied begründete sich anhand der lediglich partiell realisierten, alternativen Peripherie. Der Einfluss der Zuleitung einer Breite $> 20 \mu\text{m}$ auf den Gesamtwiderstand ist demzufolge zwar nicht dominant, doch zeigt die Widerstandsminderung um durchschnittlich 12 %, dass mittels alternativer Peripherie der Gesamtwiderstand der Elektrode tendenziell verkleinert werden kann. Dies wäre beispielsweise für elektrische Messungen im hochfrequenten Bereich durchaus von Vorteil, da die RC-Zeiten der Leiterbahnen reduziert würden. Die erfolgreiche Herstellung der Zuleitungsperipherie zeigt folglich, neben der generellen Durchführbarkeit des Lift-Off-Verfahrens, die Möglichkeit der Leitungswiderstandsverringerung, welches gleichzeitig eine Steigerung der Leitungs-Performance bedeutet. Top-Elektroden und somit Crossbar-Arrays konnten mit diesem Verfahren im Rahmen dieser Arbeit nicht realisiert werden. Die Notwendigkeit eines neuen Maskendesigns, welches die erfolgreiche Durchführung eines Top-Imprints ausmachte, ging über den Rahmen des beschriebenen Versuchs hinaus. Es sollte an dieser Stelle die Machbarkeit des Verfahrens demonstriert werden.

5.5 Die Notwendigkeit der Planarisierung

Wird bei der Herstellung von Crossbar-Arrays mittels Nanoimprint-Lithographie auf die Planarisierung der Bottom-Elektoden verzichtet, so ist ein Top-Imprint nur bedingt erfolgreich durchführbar. Zudem resultiert aus einer unebenen Probenoberfläche eine gleichermaßen unebene Top-Elektroden-Struktur. Abbildung 5.15 a) zeigt die Auswirkung eines fehlenden Planarisierungsschrittes auf die Topographie der Top-Elektroden.

Hier ist anhand eines 16 bit-Arrays mit Linienbreiten von 100 nm deutlich zu erkennen, dass die Top-Elektroden nicht homogen strukturiert werden konnten, sondern eher gewellt erscheinen. Es treten Verengungen der Top-Elektroden an den Kreuzungspunkten der Leiterbahnen auf. Ferner scheint das Top-Metall an diesen Kreuzungspunkten dünner zu sein als zwischen den Bottom-Elektroden. Dies zeigt, dass die Herstellung von Arrays (mit standardisierten 30 nm hohen Bottom-Elektroden) ohne die Verwendung eines Planarisierungsschrittes, aufgrund der unebenen Top-Elektrode, mittels Nanoimprint eher bedenklich ist. Wird sogar die weitere Steigerung der Leiterbahnenhöhe angestrebt – dies wäre für die Reduzierung der Leiterwiderstände von Interesse –, so ist die Herstellung der Crossbar-Arrays ohne Planarisierung der Bottom-Elektroden nicht mehr vorstellbar.

Leitungswiderstandsmessungen an derartigen Arrays wiesen außerdem auf die unzureichende Qualität der Top-Elektroden hin. Alle Leitungen wurden „open“ gemessen, was auf Brüche innerhalb der Elektroden schließen lässt, die voraussichtlich an den Array-Rändern (siehe Abbildung 5.15 a) auftraten.

Eine Verringerung der Unebenheiten in den Top-Elektroden konnte durch die Reduzierung der Bottom-Elektroden-Dicke auf 15 nm erreicht werden (Abbildung 5.15 b). Zwar traten hier die Verengungseffekte der Leitungen an den Kreuzungspunkten deutlich schwächer auf, doch konnten auch hier nur partiell funktionsfähige Top-Elektroden durch Widerstandsmessungen nachgewiesen werden. Hinzu implizierte die Verringerung der Bottom-Elektroden-Höhe den Performanceverlust der Arrays durch steigende Leitungswiderstände (vgl. Kapitel 5.3).

Eine Planarisierung der Bottom-Elektroden ist damit bei der Herstellung von Crossbar-Arrays mittels Nanoimprint-Verfahren unbedingt von Nöten. Unter Verwendung anderer Herstellungsmethoden (z.B. der Elektronenstrahlolithographie [109]) ist eine Planarisierung erfahrungsgemäß, aufgrund anderer Herstellungseffekte, nicht zwingend erforderlich. Da bei Belichtungsverfahren die unebene Oberfläche, auf der sich die Bottom-Elektroden befinden, nicht in einem mechanischen Verfahren strukturiert wird, treten weniger Probleme in Bezug auf Lackdeformation (oder Ähnliches) auf.

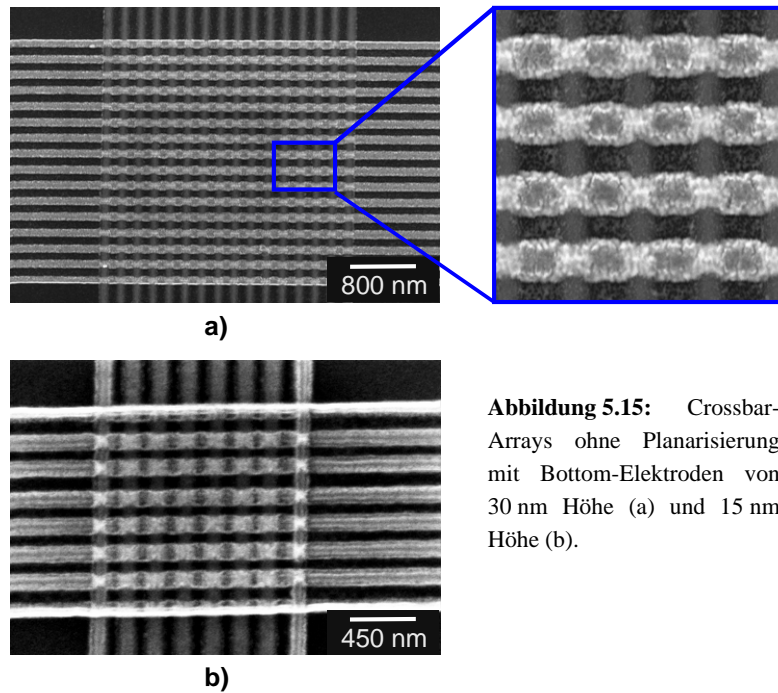


Abbildung 5.15: Crossbar-Arrays ohne Planarisierung mit Bottom-Elektroden von 30 nm Höhe (a) und 15 nm Höhe (b).

5.6 Das Crossbar-Array als Integrations-Plattform

Die Funktionalität von Crossbar-Strukturen mit planarisierten Bottom-Elektroden sollte anhand eines Experiments überprüft werden, in dem eine funktionale TiO_2 -Schicht in ein Array integriert wurde. TiO_2 ist als schaltbares Material bekannt und wird in Hinblick auf die Anwendung als zukünftiges Speichermaterial untersucht [52, 65, 109]. Dementsprechend war es das Ziel durch die elektrische Charakterisierung der TiO_2 -Crossbars eine Aussage über den Erfolg der entwickelten Herstellungstechnologie (auf der Basis der Nanoimprint-Lithographie) treffen zu können.

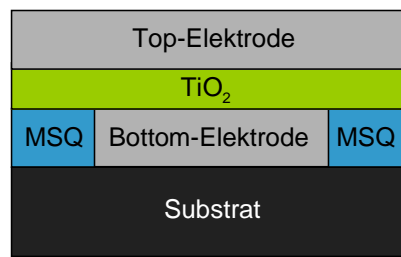
Die Herstellung der 30 nm hohen Pt-Bottom- und Pt-Top-Elektroden erfolgte dazu analog zur Beschreibung in Kapitel 5. Vor der Realisierung der Top-Elektroden wurde dabei allerdings eine 30 nm dicke TiO_2 -Schicht abgeschieden. In Abbildung 5.16 ist schematisch das hergestellte Pt/ TiO_2 /Pt-Crossbar (a) und der Querschnitt einer Pt/ TiO_2 /Pt-Einzelzelle (b) dargestellt.

Für die Charakterisierung der Arrays wurden elektrische Messungen mit einem Agilent B1500A Semiconductor Analyser durchgeführt. Dabei wurden Messnadeln auf die

Kontaktflächen der Bottom- und Top-Elektroden gesetzt. Abbildung 5.17 zeigt das Crossbar-Array (rechts) und die I(U)-Kennlinie der elektrischen Messung (links), die an einem Eckpunkt des Arrays durchgeführt wurde.



a)



b)

Abbildung 5.16:

Integration von TiO₂ in die Crossbar-Plattform.

a) Crossbar-Array mit 30 nm TiO₂ als funktionales Material und planarisierten Bottom-Elektroden.

b) Querschnitt einer TiO₂ Speicherzelle mit 30 nm hohen Pt-Bottom- und Pt-Top-Elektroden.

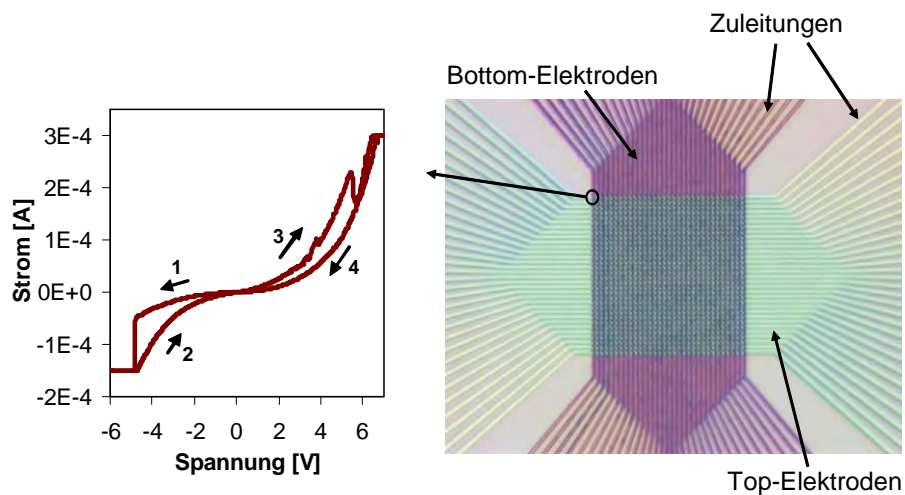


Abbildung 5.17: I(U)-Kennlinie einer resistiven Speicherzelle mit schaltbarem TiO₂ (links), 16 bit Crossbar-Array mit einem Half-Pitch von 500 nm (rechts) [106].

Die I(U)-Kennlinie der elektrischen Messung zeigt darin ein Schaltverhalten zwischen zwei Widerstandszuständen. Die Schaltrichtung ist mit Pfeilen gekennzeichnet. Die Speicherzelle befindet sich initial im hochohmigen OFF-Zustand ($R_{\text{OFF}} \sim 100 \text{ k}\Omega$). Bei schrittweiser Erhöhung der Spannung in negative Richtung (negatives Potential auf der Top-Elektrode) tritt ein Stromsprung von $-45 \text{ }\mu\text{A}$ auf $-150 \text{ }\mu\text{A}$ bei -5 V auf. Der Strom wird dabei auf $-150 \text{ }\mu\text{A}$ limitiert, um die Zelle vor Zerstörungen durch hohe Ströme zu schützen. Mit diesem Stromsprung schaltet die Zelle in den ON-Zustand ($R_{\text{ON}} \sim 30 \text{ k}\Omega$). Das Widerstandsverhältnis liegt dementsprechend bei $R_{\text{OFF}}/R_{\text{ON}} \sim 3$. Bei Invertieren der Spannung zu positiven Werten schaltet die Zelle bei $+5 \text{ V}$ wieder in den hochohmigen ON-Zustand.

Anhand dieser elektrischen Messung wurde die Funktionsfähigkeit des hergestellten Arrays mit integriertem TiO_2 demonstriert. Die Speicherzellen konnten geschaltet werden. Ferner wurde somit die erfolgreiche Prozessentwicklung aufgezeigt. Die entwickelte Nanotechnologie auf Basis der Nanoimprint-Lithographie kann nun zur Herstellung Crossbar-basierter Speicher-Architekturen eingesetzt werden. Das erste Ziel dieser Arbeit, die Bereitstellung einer Integrations-Plattform für sämtliche resistive Materialien, war damit erreicht.

6 Integration von Methyl-Silsesquioxan

Spin-On Gläser, wie das hier eingesetzte Methyl-Silsesquioxan ($\text{CH}_3\text{SiO}_{1.5}$), werden in der Halbleitertechnologie im Wesentlichen für die Planarisierung von Oberflächen und für die Auffüllung von Gräben verwendet [122]. Dabei müssen verschiedene Kriterien von unterschiedlichen Gläsern, je nach Anwendung, erfüllt werden. Beispielsweise wird MSQ als Low-k-Dielektrikum zur Isolierung von Leiterbahnen eingesetzt [123]. MSQ bietet aufgrund der größeren Methyl-Gruppe (CH_3) eine geringere Dichte als reines SiO_2 . Ferner führen die Si- CH_3 -Bindungen zu einer geringeren Polarisierbarkeit als die Si-O-Bindungen oder Si-H-Bindungen (bei Hydrogen-Silsesquioxan, HSQ), woraus schließlich eine niedrigere Dielektrizitätskonstante ($\epsilon_r < 3$) resultiert [124]. Das in dieser Arbeit verwendete MSQ T-111 der Firma Honeywell beinhaltet 10 Gew.-% CH_3 .

Die Bezeichnung Silsesquioxan rührt von dem 3/2-Verhältnis bzw. der Sesquistoichiometrie der Sauerstoffatome, welche an das Si gebunden sind. Die molekulare Struktur des MSQ besteht (in den meisten Fällen) aus einer Kombination von Käfig- und Leiterstrukturen, deren Rückgrat aus SiO_2 gebildet wird (siehe Abbildung 6.1).

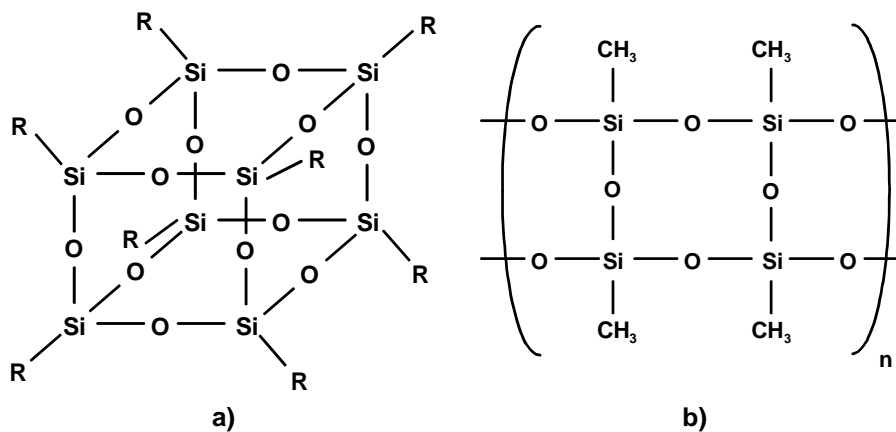


Abbildung 6.1: Molekulare Struktur des MSQ: a) Käfigstruktur, worin $\text{R} = \text{CH}_3$ für MSQ und $\text{R} = \text{H}$ für HSQ, b) Leiterstruktur des MSQ.

Bei der thermischen Aushärtung des MSQ (vgl. Kapitel 5.1) ändern sich teilweise die Käfigstrukturen (Abbildung 6.1 a) zu Leiterstrukturen (Abbildung 6.1 b), sodass großflächige Netzwerke entstehen [125].

Das Ziel dieser Arbeit war es, das MSQ neben der Planarisierung von Crossbar-Elektroden auch als schaltendes Material für resistive Speicher zu verwenden. Somit konnte eine Kombination aus zwei Prozessschritten (der Planarisierung und der Deposition des funktionalen Materials) zu einem einzelnen Prozessschritt erfolgen. Da resistives Schalten in SiO_2 unter Verwendung von Cu- oder Ag-Elektroden bekannt ist [126, 127], bot sich SiO_2 -basiertes Spin-On-Glas zunächst als mögliches, alternatives Speichermaterial an. Dabei ist MSQ ein Festkörperelektrolyt, durch welches Metallionen des leicht oxidierbaren Top-Metalls transportiert werden können (vgl. Kapitel 3.1).

6.1 Resistives Schalten in Pt/MSQ/Ag-Zellen

Die Herstellung von Crossbar-Zellen mit integriertem MSQ geschah auf zwei Arten. Für eine erste Abschätzung der Funktionalität wurden Zellen im Mikrometerbereich mittels optischer Lithographie realisiert (vgl. Abbildung 5.12). Für die Verringerung der Speicherzellenfläche in den Sub-Mikrometerbereich wurde die Nanoimprint-Lithographie eingesetzt. Die prinzipielle Herstellungsweise und der resultierende Aufbau der Crossbar-Elemente sind in Abbildung 6.2 dargestellt.

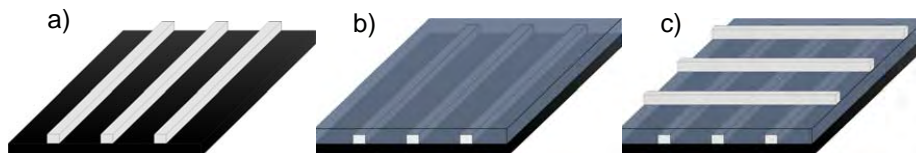


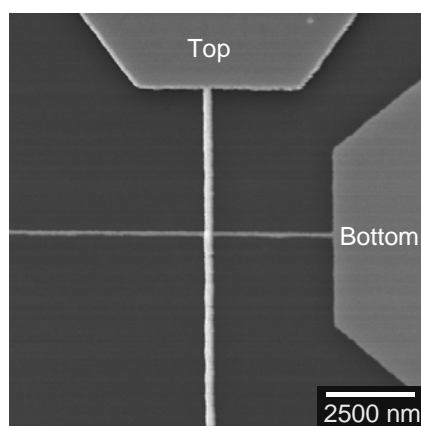
Abbildung 6.2: Herstellung von Crossbar-Strukturen mit integriertem MSQ: a) Pt-Bottom-Elektroden, b) Planarisierung der Oberfläche und Dünnen der MSQ-Schicht, c) Realisierung von Top-Elektroden aus Ag oder Cu.

Nach der Einbettung der Pt-Bottom-Elektroden (Abbildung 6.2 a) wurde die MSQ-Schicht, wie in Kapitel 5.1 beschrieben, gedünnt. Dabei wurde jedoch nicht die Oberfläche der Bottom-Elektroden freigelegt, sondern es blieb eine 20 – 30 nm hohe Glasschicht über den Leiterbahnen erhalten (Abbildung 6.2 b). Diese MSQ-Schicht bildete die funktionale Lage (vgl. Kapitel 3.2, Abbildung 3.5). Nach der Abscheidung der funktionalen Schicht wurde die Top-Elektrode, welche aus Ag bestand, realisiert

(Abbildung 6.2 c).

Zur Überprüfung der Funktionalität hergestellter Mikro- und Nanostrukturen wurden elektrische Messungen durchgeführt. Dazu wurde ein Agilent B1500A Semiconductor Device Analyser in Kombination mit einer halbautomatischen „Probestation“ der Firma Süss Microtec eingesetzt. Die Probestation wurde zur Kontaktierung der Bauelemente mit Hilfe von Messnadeln verwendet. Dabei wurden die Wolfram-Messnadeln mit einem Spitzenradius von $\sim 5 \mu\text{m}$ auf die Kontaktflächen ($100 \mu\text{m} \times 100 \mu\text{m}$) der Crossbar-Strukturen abgesetzt. Der Probestisch sowie ein Nadelarm konnten über den Steuerungsrechner automatisch verfahren werden.

Es wurden zunächst quasistatische Messungen sowohl an Mikro- als auch an den Nano-Einzelkreuzstrukturen durchgeführt (siehe Abbildung 6.3 a).



a)

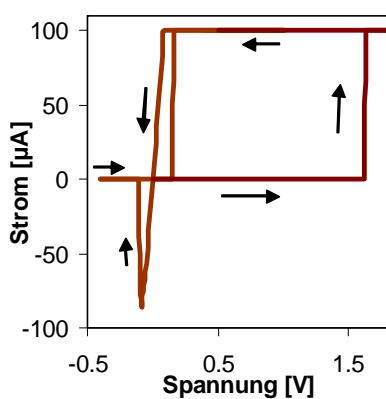
Abbildung 6.3:

a) Einzelkreuzstruktur

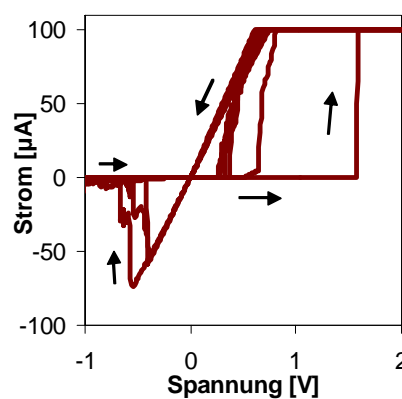
100 nm x 100 nm,

b) I(U)-Kennlinie einer quasistatischen Messung an einer $3 \mu\text{m} \times 3 \mu\text{m}$ Einzelkreuzstruktur,

c) I(U)-Kennlinie einer quasistatischen Messung an einer 100 nm x 100 nm Einzelkreuzstruktur. Die Schalt-richtung ist durch Pfeile gekennzeichnet.



b)



c)

Es wurden Top- und Bottom-Elektroden mit Messnadeln kontaktiert, eine Spannung zwischen den beiden Elektroden angelegt und der Strom durch die Crossbars gemessen. Die Spannung wurde dabei in 10 mV Schritten sukzessive erhöht bzw. verringert, sodass eine $I(U)$ -Charakteristik aufgenommen werden konnte. Die einzelnen Spannungsschritte wurden jeweils mit einer Dauer von 20 ms gehalten. Bei den $I(U)$ -Kennlinien dieser Arbeit ist die Bezugsrichtung der Spannung stets von der Top-Elektrode zur Bottom-Elektrode definiert. Eine positive Spannung bedeutet also positives Potential auf der Top-Elektrode bei Massepotential auf der Bottom-Elektrode (vgl. dazu auch Abbildung 3.1).

Abbildung 6.3 b) zeigt eine beispielhafte $I(U)$ -Kennlinie, welche an einer $3\text{ }\mu\text{m} \times 3\text{ }\mu\text{m}$ Einzelkreuzstruktur aufgenommen wurde. Die Richtung des Spannungszyklusses ist mit Pfeilen gekennzeichnet. Ausgehend von 0 V wurde die Spannung sukzessiv erhöht. Dabei wurde zunächst ein sehr geringer Strom gemessen, da sich die Zelle initial im hochohmigen OFF-Zustand befand. Bei einer Spannung von + 1,6 V stieg der Strom sprunghaft an. Es wurde eine Strombegrenzung von $100\text{ }\mu\text{A}$ gewählt, welche den maximalen Strom durch die Zelle begrenzte, was dem Schutz der Zelle vor Zerstörungen durch zu hohe Stromstärken diente. Die Zelle befand sich nun, nach dem SET, im niederohmigen ON-Zustand. Wird die Spannung wieder auf 0 V verringert, so läuft der Strom aus der $100\text{ }\mu\text{A}$ -Begrenzung über eine steile Gerade in den Nullpunkt. Mit der Veränderung der Polarität zu negativen Spannungen wurde die Zelle bei einer Spannung von - 100 mV und einem Ausschaltstrom von $-85\text{ }\mu\text{A}$ wieder in den hochohmigen OFF-Zustand durch die sprunghafte Verringerung des Stroms versetzt. Ein bipolares Schalten fand somit an den Pt/MSQ/Ag-Speicherzellen statt.

Es wurde beobachtet, dass die SET-Spannung des initialen, ersten Zyklusses stets höher war, als die der darauf folgenden Zyklen. Im weiteren Verlauf der Messung verringerte sich die SET-Spannung hier auf + 150 mV. Diese Erscheinung ist durchaus mit Literaturangaben vergleichbar, bei denen initiale Formierungszyklen beschrieben werden, in denen bevorzugte, leitende Pfade durch das resistive Material entstehen. Diese Neubildung bevorzugter Pfade bedingt höhere Spannungen als sie bei den nachfolgenden Schaltzyklen auftreten (vgl. Kapitel 3.1).

Wird die Zellgröße auf $100\text{ nm} \times 100\text{ nm}$ verringert, so ergibt sich ein ähnliches Schaltverhalten wie das der $3\text{ }\mu\text{m} \times 3\text{ }\mu\text{m}$ -Zellen. Abbildung 6.3 c) zeigt die entsprechende $I(U)$ -Kennlinie einer Nano-Zelle. Die Formierungsspannung lag hier bei 1,6 V und verringerte sich bei den nachfolgenden Zyklen zu einer SET-Spannung von 0,35 V. Auch hier wurde der Einschaltstrom auf $100\text{ }\mu\text{A}$ begrenzt. Der RESET fand bei einer Spannung von - 0,5 V und einem maximalen Strom von $-75\text{ }\mu\text{A}$ statt, womit auch hier bipolares Schalten auftrat.

Es sei an dieser Stelle erwähnt, dass die $I(U)$ -Darstellung vor allem im Bereich der

Strombegrenzung nicht ganz korrekt ist. Die aufgetragene Spannung der x-Achse entspricht dabei nicht der tatsächlichen Spannung über das Bauelement. Die tatsächliche Spannung liegt im gezeigten Fall beispielsweise bei 80 mV, was genau dem Wert entspricht, bei dem der Strom aus der Begrenzung läuft. Die andersartige Darstellung ergibt sich aus der Messsoftware, die stets den vorgegebenen Spannungsbereich aufzeichnet, nicht aber die tatsächlich abfallende Spannung misst. Dazu sind Vierpunktmessungen nötig [109].

Werden die ON- und OFF-Widerstände der $3\text{ }\mu\text{m} \times 3\text{ }\mu\text{m}$ -Zellen mit denen der $100\text{ nm} \times 100\text{ nm}$ -Zellen verglichen, so fällt auf, dass die ON-Widerstände der größeren Crossbars (zwischen $100\text{ }\Omega$ und $1\text{ k}\Omega$) deutlich geringer waren, als die der kleineren Strukturen (zwischen $500\text{ }\Omega$ und $6\text{ k}\Omega$). Dies kann auf eine Abhängigkeit des ON-Widerstandes von der Zellgröße hindeuten, ist aber eher auf die höheren Zuleitungswiderstände der Nano-Crossbars zurückzuführen. Um den Sachverhalt einschätzen zu können, wurden die ON-Widerstände verschieden großer Mikro-Zellen miteinander verglichen. Abbildung 6.4 zeigt die Abhängigkeit des ON-Widerstandes R_{ON} von der Zellgröße.

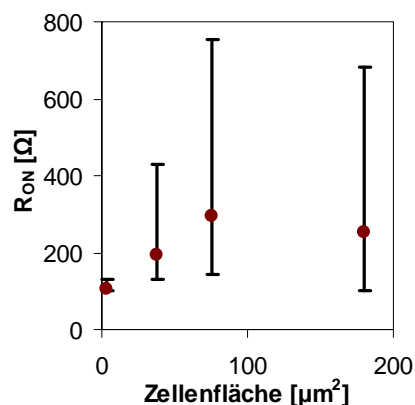


Abbildung 6.4:
Verlauf des ON-Widerstandes R_{ON} in Abhängigkeit von der Zellgröße.

Es wurde auf der einen Seite Widerstandsstreuungen festgestellt, welche sich nicht auf Zellgrößenabhängigkeiten zurückführen ließen. Auf der anderen Seite konnte keine eindeutige Abhängigkeit des Widerstandsmittelwertes von der Zellgröße nachgewiesen werden, welches eher auf einen lokal begrenzten Schaltmechanismus schließen lässt, wie er auch in der Literatur für elektrolytische Systeme vermutet wird (vgl. Kapitel 3.1). Somit sind die oben aufgezeigten Differenzen der R_{ON} auf die unterschiedlichen Zuleitungswiderstände von Mikro- und Nano-Crossbars zurückzuführen. Wie in

Kapitel 5.3 gezeigt liegen die Leitungswiderstände der Nanoleitungen im Bereich von mehreren $k\Omega$ (z.B. 100 nm-Arrays Linienbreite $\sim 4,5 k\Omega$), sodass sich höhere R_{ON} -Widerstände erklären lassen. Geringe R_{ON} -Widerstände ließen sich hingegen bei Einzelstrukturen beobachten, bei denen sehr kurze Zuleitungen im Layout vorhanden waren, wie es beispielsweise Abbildung 6.3 a) zeigt.

Bei der Auswertung des R_{OFF} fiel auf, dass sowohl die Widerstände der $3 \mu m \times 3 \mu m$ -Zellen als auch der $100 nm \times 100 nm$ -Zellen während der Schaltzyklen zwischen $1 M\Omega$ und mehreren $100 G\Omega$ variierten, womit keine adäquate Aussage über die Skalierung des R_{OFF} getroffen werden konnte.

Ferner konnten die Variationen der ON- und OFF-Widerstände nicht auf Einflüsse von Strombegrenzungen, Ausschaltströmen oder Ein-/Ausschaltspannungen (etc.) zurückgeführt werden. Damit entfiel zunächst auch die Möglichkeit des Multi-Level-Schaltens, bei dem unterschiedliche Widerstandszustände kontrolliert eingestellt werden können (z.B. durch verschiedene Strombegrenzungen [71, 109]), für die hergestellten MSQ-Speicherzellen.

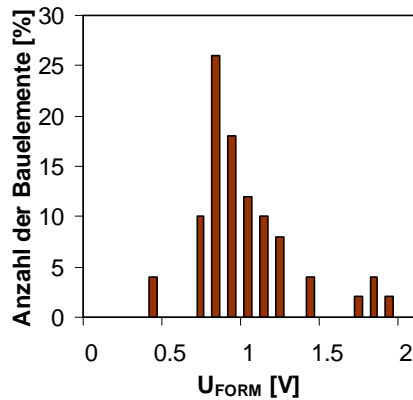
In einer Testreihe mit 125 Crossbar-Zellen einer Größe von $100 nm \times 100 nm$ wurden die Formierspannungen sowie die Schaltspannungen statistisch ausgewertet.

Dazu wurde ein Programm der Prober-Software entwickelt, in dem die einzelnen Strukturen vollautomatisch angefahren und vermessen werden konnten. Für die initiale Formierung wurde die Spannung bis $+2 V$ erhöht. Schaltete das Bauelement während des Formierungs-Zyklus ein, so wurde es als funktionsfähig auf einer automatisch angelegten Wafermap eingetragen. Es wurden dadurch 73 der 125 Strukturen, also 58,4 %, als funktionsfähig getestet. Hier waren jedoch ca. 20 % auf Defekte zurückzuführen, die während der Herstellung, also technologisch bedingt (z.B. durch Partikel), auftraten. Nach der Formierung wurden 5 der funktionsfähigen Zellen beliebig ausgewählt, an denen jeweils 20 Schaltzyklen durchgeführt wurden.

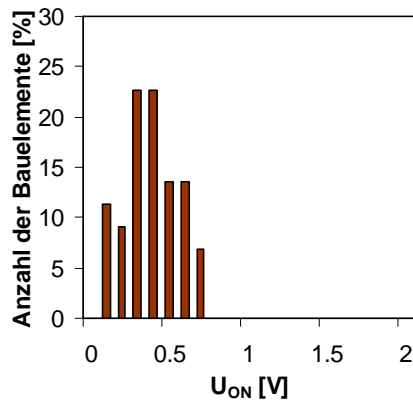
Abbildung 6.5 zeigt die Auswertung der aufgetretenen Spannungen, welche über die prozentuale Anzahl der funktionsfähigen Strukturen aufgetragen sind. Es ist deutlich zu erkennen, dass die Formierungsspannung (Abbildung 6.5 a) tendenziell höher liegt, als die SET-Spannung der anschließenden Schaltzyklen (Abbildung 6.5 b). Außerdem fällt die größere Streuung von U_{FORM} auf, die zwischen $0,4 V$ und $2 V$ liegt. Die RESET-Spannung ist betragsmäßig tendenziell höher als die SET-Spannung und auch hier wurde eine größere Streuung der Spannungswerte zwischen $-0,1 V$ und $-1,6 V$ als die der SET-Spannung festgestellt. Diese statistischen Verteilungen von U_{FORM} , U_{ON} und U_{OFF} waren für die spätere Applikation der hergestellten Einzelzellen in Crossbar-Arrays von großer Wichtigkeit.

Wird Kupfer als Top-Elektrodenmaterial verwendet, so treten deutlich höhere Formierungsspannungen (bis zu $8 V$) und SET-Spannungen ($\sim 1,5 V$) auf. Diese sind

mit Werten aus der Literatur vergleichbar, die an amorphen SiO_2 -Strukturen mit Cu-Top-Elektrode erfasst wurden [128]. In dieser Arbeit wurde sich für die geringeren Spannungen und damit generell für die Verwendung von Ag-Top-Elektroden entschieden. Ferner war die Herstellung von Cu-Elektroden mittels Nanoimprint-Lithographie zunächst nicht möglich. Da die Imprint-Anlage in einem CMOS-Reinraum installiert wurde, in dem die Gefahr der Cu-Kontamination besteht, war die Prozessierung von Cu-beschichteten Wafern hier nicht möglich.



a)



b)

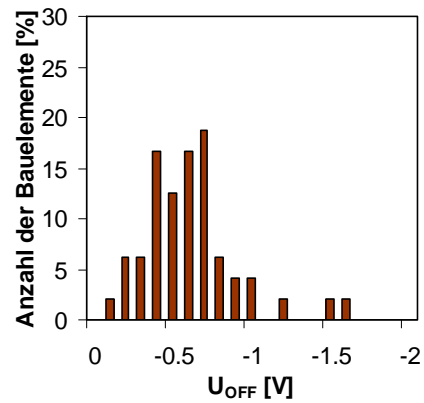
Abbildung 6.5: Statistische Auswertung der

a) Formierspannung,

b) SET-Spannung,

c) RESET-Spannung,

anhand einer Testreihe mit 73 von 125 funktionsfähigen $100 \text{ nm} \times 100 \text{ nm}$ Crossbar-Strukturen (58,4 % Ausbeute).



c)

6.2 Untersuchungen zum Schaltmechanismus

Werden die Schaltkurven der Pt/MSQ/Ag-Zellen mit denen der Literatur verglichen, die beispielsweise an Pt/SiO₂/Cu-Zellen aufgenommen wurden, so ist zunächst festzustellen, dass sich das Erscheinungsbild beider Schaltzyklen sehr ähnelt. Dabei deuten, neben der vergleichbaren Materialauswahl (SiO₂-basiertes MSQ + oxidierbares Top-Elektroden-Metall), insbesondere die sprunghaftigen Schaltvorgänge auf ähnliche Schaltmechanismen beider Systeme hin. Es war dementsprechend anzunehmen, dass während des Schaltprozesses elektrisch leitende Pfade (bestehend aus dem leicht oxidierbaren Top-Elektroden-Metall) durch die MSQ-Schicht gebildet bzw. wieder zerstört werden (vgl. Kapitel 3.1).

Für Untersuchungen, in Bezug auf den Schaltmechanismus der hergestellten Pt/MSQ/Ag-Zellen, wurden zwei Experimente durchgeführt. Zum einen wurden Crossbar-Strukturen realisiert, die sowohl Pt-Bottom-Elektroden als auch Pt-Top-Elektroden enthielten, um den Einfluss des Ag abschätzen zu können. Zum anderen wurden laterale Strukturen hergestellt, an denen durch REM-Aufnahmen festgestellt werden sollte, ob durch das Anlegen einer elektrischen Spannung metallische Ag-Pfade durch die MSQ-Schicht wachsen.

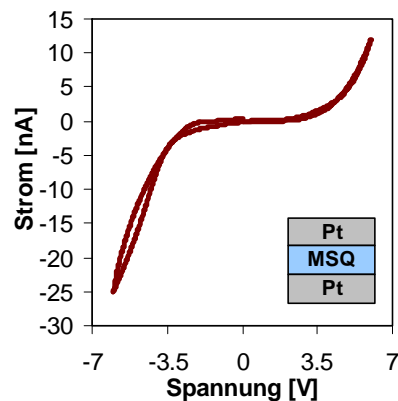


Abbildung 6.6:
I(U)-Kennlinie an einer Pt/MSQ/Pt-Zelle. Es tritt kein Schalten trotz hoher Spannungen von ± 6 V auf.

Abbildung 6.6 zeigt die I(U)-Kennlinie, welche bei einer spannungsgetriebenen Messung an Pt/MSQ/Pt-Zellen aufgenommen wurde. Der Strom bleibt hierin trotz sehr hoher Spannungen von bis zu ± 6 V gering und es treten keine sprunghaftigen Änderungen auf. Daraus kann geschlussfolgert werden, dass MSQ nur in Kombination

mit Ag ein schaltfähiges System bildet.

Der Versuchsaufbau der Lateralstrukturen ist in Abbildung 6.7 schematisch dargestellt.

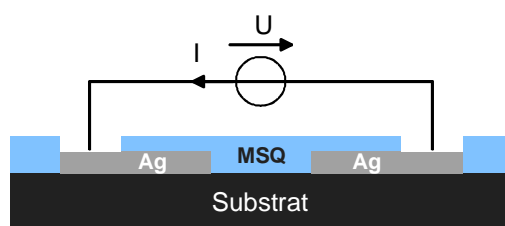


Abbildung 6.7: Lateralstruktur bestehend aus zwei Ag-Elektroden, zwischen denen sich MSQ befindet. Eine elektrische Spannung dient dem Ag-Pfad Wachstums.

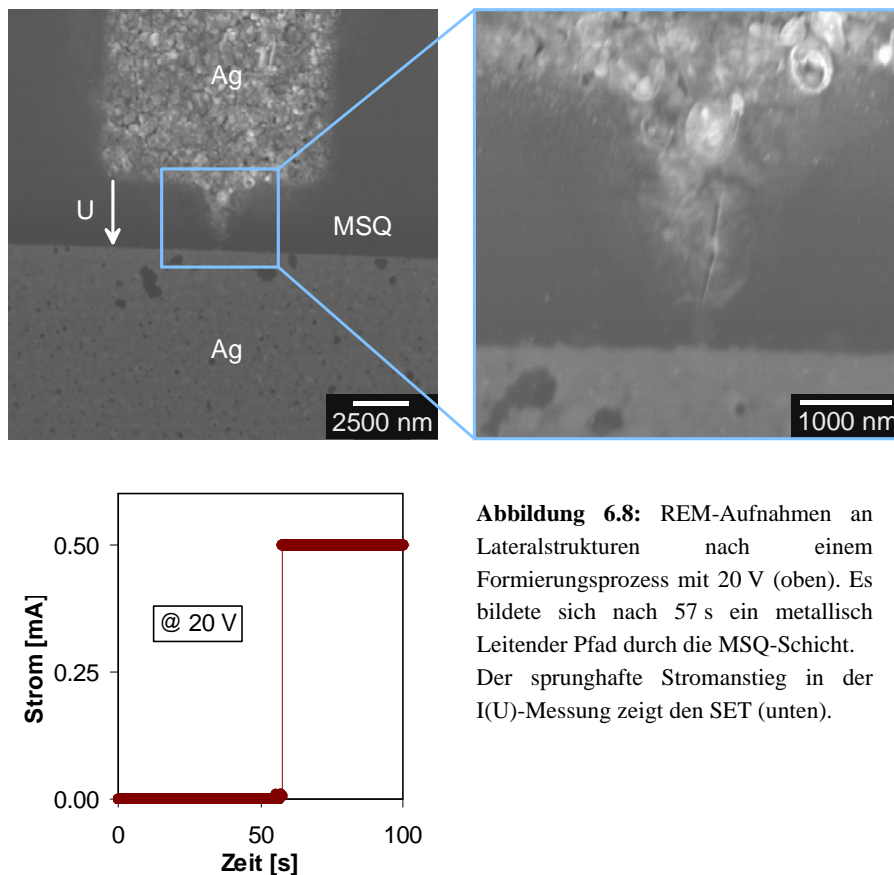
Es wurden Ag-Elektroden auf einem Si-Substrat mittels optischer Lithographie hergestellt. Anschließend wurde MSQ aufgebracht, welches sich nach der Deposition sowohl auf als auch zwischen den Elektroden befand. Für die elektrische Kontaktierung wurden die Kontaktflächen der Lateralstrukturen in einem Trockenätzverfahren freigelegt. So konnte zwischen den Ag-Elektroden eine elektrische Spannung angelegt werden, um einen metallischen Pfad lateral durch die MSQ-Schicht wachsen lassen zu können. Abbildung 6.8 zeigt die REM-Aufnahme einer Lateralstruktur nach einer Spannungsbelastung von 20 V.

Es ist zu erkennen, dass sich zwischen der oberen und der unteren Ag-Elektrode ein metallischer Pfad ausgebildet hat. Bei der elektrischen Messung (Abbildung 6.8 unten) wurde bei der konstanten Spannungsversorgung ein sprunghafter Stromanstieg von ~ 200 pA auf 0,5 mA (Strombegrenzung) nach 57 s festgestellt. Dies entsprach einem Formierungsschritt. Die Spannung wurde aufgrund des großen Abstandes beider Elektroden von mehreren Mikrometern höher gewählt als die Formierungsspannung der zuvor gezeigten, vertikalen Crossbar-Strukturen.

Die Form des hier ausgebildeten Pfades lässt nicht auf die Form der Pfade in den Crossbar-Strukturen schließen. Die Detailaufnahme (oben rechts Abbildung 6.8) gibt keinen eindeutigen Hinweis auf die Struktur des Metallpfades, der sich über die letzten Nanometer zwischen den Elektroden erstreckt. Für ein klares Bild reichen hier sowohl die REM-Auflösung als auch der Materialkontrast und die Tiefenschärfe nicht aus.

Es konnte somit anhand der Experimente gezeigt werden, dass der Schaltvorgang in PT/MSQ/Ag-Zellen höchst wahrscheinlich auf die Ausbildung von Ag-Pfaden durch die MSQ-Schicht zurückzuführen ist. Allerdings konnte nicht nachgewiesen werden, ob es sich bei den Metallpfaden um eine eher filamentäre oder dendritenartige Struktur

handelt, was beispielsweise für die Skalierbarkeit von Speicherzellen von Bedeutung wäre. Ferner blieben die Prozesse, welche das Ausschalten beschreiben, durch diese Versuche unbetrachtet.



6.3 Untersuchung zum Einfluss der Methyl-Gruppe

Um den Einfluss der Methylgruppe des MSQ auf das Schaltverhalten der Pt/MSQ/Ag-Zellen abschätzen zu können, wurden Proben hergestellt, bei denen das MSQ mit unterschiedlichen Temperaturen ausgeheizt wurde. Ziel war es, mittels hoher Temperaturen die Methyl-Gruppe zu entfernen, wie es beispielsweise in den Referenzen [122] und [125] gezeigt wurde.

Es wurden zunächst quadratische 1“ x 1“ Proben hergestellt, bei denen ganzflächig Pt und darauf MSQ aufgetragen wurde. Die MSQ-Schicht wurde bei sechs unterschiedlichen Proben mit Temperaturen von 425°C (Standard), 500°C, 600°C, 700°C, 800°C und 900°C unter N₂-Atmosphäre ausgeheizt. Anschließend wurden FTIR (Fourier Transformations IR Spektroskopie) - Messungen durchgeführt. Das resultierende Absorptionsspektrum der Messungen ist in Abbildung 6.9 dargestellt.

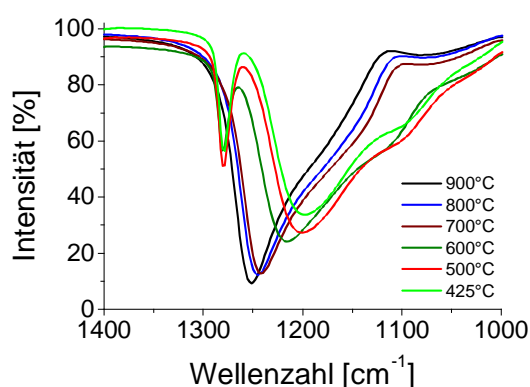


Abbildung 6.9:
FTIR-Analyse an
Pt/MSQ-Schichten,
die mit
unterschiedlichen
Temperaturen
ausgeheizt wurden.

Vergleichbar zur Literatur ist eine Änderung der chemischen Struktur des MSQ ab einer Temperatur von 700°C zu erkennen. Die Absorptionslinien der Si-CH₃- und CH₃-Bindungen bei 1275 cm⁻¹ und 2975 cm⁻¹ verschwinden bei Temperaturen $\geq 700^\circ\text{C}$. Demzufolge wird bei hohen Temperaturen die Methylgruppe der MSQ-Schicht zerstört. Ferner wurde eine Verschiebung der O-Si-O-Käfig-Linie von 1200 cm⁻¹ auf 1250 cm⁻¹ beobachtet, was einer strukturellen Veränderung des MSQ entspricht und den Werten der Literatur sehr ähnelt [122].

Dichtebestimmungen der MSQ-Schichten wurden mit XRR (X-Ray Reflection) - Messungen durchgeführt [129]. Es zeigte sich, dass die Schichten, welche über 700°C ausgeheizt wurden, mit 2,09 gcm⁻³ eine höhere Dichte aufwiesen als die Schichten < 700°C mit 1,64 gcm⁻³. Das MSQ wird dementsprechend durch die Zerstörung der relativ großen und Platz einnehmenden Methylgruppe verdichtet [122]. Eine Oberflächenstrukturanalyse mittels Rasterkraftmikroskopie ergab ergänzend keinen signifikanten Unterschied in der Oberflächenrauigkeit durch Ausheizen der Schichten mit höheren Temperaturen (Rout-Mean-Square roughness $\sim 0,35$ nm).

Der Einfluss der strukturellen Änderung und damit der Methylgruppe auf das Schaltverhalten von Pt/MSQ/Ag-Zellen wurde in einer Testreihe mit 125 100 nm x 100 nm Einzelkreuzstrukturen durchgeführt. Es wurden dabei die

Formierungsspannungen sowie die SET-Spannungen und die RESET-Spannungen an 800°C geheizten MSQ-Schichten mit der gleichen Vorgehensweise wie in Kapitel 6.1 untersucht. Die statistischen Auswertungen der Messungen wurden dann mit denen verglichen, die an konventionell hergestellten MSQ-Schichten (bei 425°C) erstellt wurden. Abbildung 6.10 stellt die Ergebnisse der Messreihe an 800°C geheizten MSQ-Schichten dar.

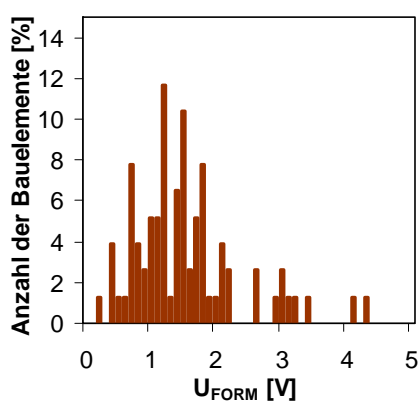


Abbildung 6.10:

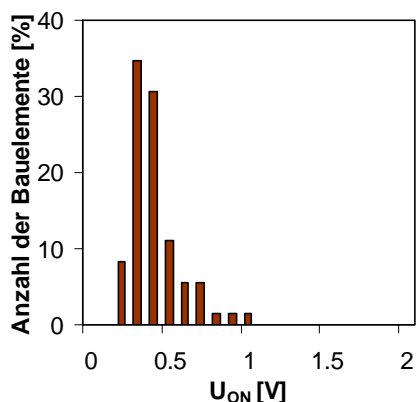
Statistische Auswertung der

a) Formierungsspannung,

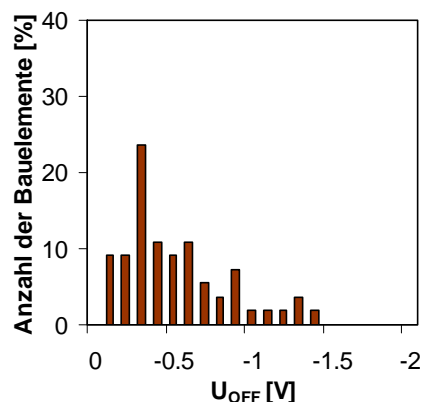
b) SET-Spannung,

c) RESET-Spannung,

anhand einer Testreihe mit 77 von 125 funktionsfähigen 100 nm x 100 nm Crossbar-Strukturen (61,6 % Ausbeute), bei denen die MSQ-Schicht bei 800°C ausgeheizt wurde.



b)



c)

Es waren 77 der 125 Zellen funktionsfähig, was einer ähnlichen Ausbeute von 61,6 % im Vergleich zu den Standard-Bauelementen entsprach. Die breitere Verteilung der Formierungsspannung der Abbildung 6.10 a) unterschied sich hingegen deutlich von der

in Abbildung 6.5 a). Es zeigte sich, dass U_{FORM} in 800°C-Spin-On Glas mit einer höheren Dichte (aufgrund fehlender Methyl-Gruppe) sowohl sehr niedrige Werte (0,2 V) als auch sehr hohe Werte (4 V) annehmen kann. Anhand dieser Beobachtung ließ sich vermuten, dass zwei unterschiedliche Strukturänderungseffekte des 800°C-MSQ die U_{FORM} -Verteilung veränderten.

Zum einen ist bekannt, dass eine höhere Dichte des Elektrolyts das Durchdringen von Ionen erschwert, wodurch höhere Formierungsspannungen entstehen [128]. Zum anderen sinkt die Formierungsspannung bei Reduzierung der Schichtdicke [71], welches im Fall des 800°C-MSQ auftreten kann, da die Lücken großer Methyl-Moleküle geschlossen werden und die MSQ-Dicke dadurch sinkt [122].

Derartige Effekte scheinen zudem lokal unterschiedlich dominant aufgetreten zu sein. Es entstanden inhomogene Schichten, wodurch sich die Verteilung der Formierungsspannung verbreiterte, da die Werte durch die Nanostrukturen zwar lokal aber über einen großen Bereich aufgenommen wurden.

Werden die Schaltspannungen der anschließenden Schaltzyklen ausgewertet, so zeigt sich, dass die Verteilungen dieser ($0,3 \text{ V} < U_{\text{ON}} < 1,1 \text{ V}$ und $-1,5 \text{ V} < U_{\text{OFF}} < -0,2 \text{ V}$) mit denen der Standard-MSQ-Schichten vergleichbar sind. Es ist also auch in dem Fall des Glases ohne Methyl-Gruppe davon auszugehen, dass zuerst ein bevorzugter Pfad mittels Formierung durch die Schicht gebildet werden muss. Dieser kann anschließend mit sehr ähnlichen Konditionen wie bei den herkömmlichen MSQ-Schichten durch SET- und RESET-Spannungen gebildet und abgebaut werden.

6.4 Performance der Speicherzellen

Die Güte von Speicherzellen wird anhand diverser Charakteristika bewertet. Es spielen vor allem die Lebensdauer der Speicherzustände (Retention), die mögliche Anzahl der Schaltereignisse (Endurance) und die Schnelligkeit der Bauelemente eine große Rolle bei der Performance-Bewertung der Speicherzellen. Es wurden 100 nm x 100 nm Pt/MSQ/Ag-Zellen auf diese Charakteristika untersucht.

Um die Lebensdauer der beiden resistiven Zustände (R_{ON} und R_{OFF}) zu bestimmen, wurden die Zellen zunächst formiert und anschließend fünfmal quasistatisch gezykelt (vgl. Kapitel 6.1). Für die Retention-Messung wurde die Zelle dann in jeweils einen der beiden Speicherzustände versetzt. Mit einer Lesespannung von 10 mV wurden die Zustände in einigen Zeitabständen gemessen. Die niedrige Lesespannung war nötig, um den Einfluss dieser auf die Speicherzustände gering zu halten.

Abbildung 6.11 zeigt das Ergebnis der Messung. R_{ON} betrug $\sim 2,8 \text{ k}\Omega$ und konnte über einen Zeitraum von $\sim 8000 \text{ s}$ gemessen werden, bis er zu $2 \text{ G}\Omega$ degradierte. Die Degradation beschreibt die Auflösung des metallischen Ag-Pfades und wird

voraussichtlich durch Diffusion oder Elektromigration initiiert. Der OFF-Widerstand betrug hier $\sim 4 \text{ G}\Omega$ und war wesentlich stabiler, da er bis zu $7 \cdot 10^4 \text{ s}$ lang gemessen wurde und auch kein Anzeichen einer Degradation zu erkennen war. Da der OFF-Zustand nicht durch Diffusion oder Ähnliches zerstört wird, kann generell davon ausgegangen werden, dass er über einen sehr langen Zeitraum stabil bleibt, welches für die nichtflüchtige Speicheranwendung von großer Wichtigkeit wäre. Der Stabilität des ON-Zustandes bedarf es hingegen einer Performance-Steigerung (z.B. durch Materialmodifizierung), um den Anforderungen der Speicheranwendung gerecht zu werden.

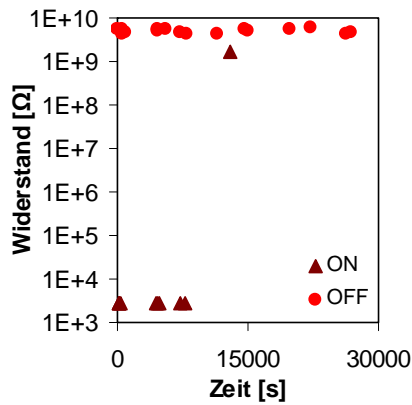


Abbildung 6.11: Retention-Messung an einer $100 \text{ nm} \times 100 \text{ nm}$ Pt/MSQ/Ag-Zelle mit einer Lesespannung der Zustände von 10 mV .

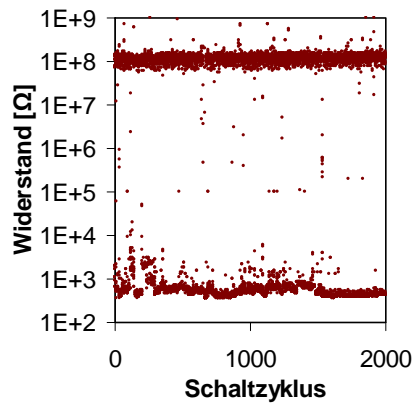


Abbildung 6.12: Endurance-Messung an einer $100 \text{ nm} \times 100 \text{ nm}$ Pt/MSQ/Ag-Zelle. $U_{\text{SET}} = 3 \text{ V}$, $U_{\text{RESET}} = -3 \text{ V}$, $U_{\text{Lesen}} = 10 \text{ mV}$. Pulslänge = 100 ms .

Für die Überprüfung der möglichen Anzahl an Schaltzyklen wurden Pulsmessungen mit Hilfe eines Keithley 2611 SourceMeter durchgeführt. Dabei wurden Spannungspulse einer Länge von 100 ms auf die Zelle gegeben. Um das Bauelement an- bzw. auszuschalten, wurden $U_{\text{SET}} = +3 \text{ V}$ und $U_{\text{RESET}} = -3 \text{ V}$ gesetzt. Zwischen den SET- und RESET-Pulsen wurde der Zustand der Zelle mit einer Strommessung bei einem 10 mV -Puls detektiert. Das Ergebnis der Lesepulse ist in Abbildung 6.12 als Widerstandsmessung in Bezug auf die Anzahl der Zyklen dargestellt. Die Zelle konnte 2000-mal zwischen R_{ON} und R_{OFF} geschaltet werden, bevor eine Degradation der Zustände eintrat bzw. die Zelle in einem der Zustände verharrte. Tendenziell konnten

zwei definierte Zustände gesehen werden, wobei $R_{ON} \sim 1 \text{ k}\Omega$ und $R_{OFF} \sim 100 \text{ M}\Omega$ waren. Es fiel jedoch auf, dass einzelne Messwerte außerhalb der Bereiche von R_{ON} und R_{OFF} lagen, in denen die Widerstandswerte gehäuft auftraten. Die Zelle konnte dementsprechend trotz der hohen Spannungen teils nicht „vollständig“ ein- bzw. ausgeschaltet werden. Es wurden Zwischenzustände erreicht, wie sie beispielsweise beim Multi-Bit Schalten in Pt/GeSe/Ag-Zellen gesehen wurden [71]. Diese Zwischenzustände entstanden jedoch eher zufällig und konnten nicht durch definierte Spannungspulse oder Strombegrenzungen erzwungen werden.

Das Widerstandsverhältnis der gehäuft auftretenden Zustände wurde mit $R_{OFF}/R_{ON} = 10^4$ bemessen. Werden die Zwischenzustände berücksichtigt, so kann ein Verhältnis von $10^5/10^4 = 10$ erzielt werden. Die ersten ~ 150 Zyklen fallen durch eine etwas breitere Streuung der Widerstandszustände auf, sodass diese als „Awake-Phase“ der Zelle angesehen werden können.

Bezüglich der Wirkung von Spannungspulsen auf das Schaltverhalten der Zellen, im Gegensatz zu quasistatischen Messungen, wurde ein ergänzendes Experiment durchgeführt. Es wurde die Anzahl der 100 ms-Pulse in Abhängigkeit der Pulsamplitude aufgezeichnet, die für ein Schaltevent nach dem Formierungsprozess benötigt wurden. Abbildung 6.13 zeigt in a) die Anzahl der SET-Pulse, die für das Einschalten der Zelle benötigt wurden, und in b) die Anzahl der RESET-Pulse, die für das Ausschalten der Zelle benötigt wurden.

Es fällt zunächst auf, dass sich im Vergleich zu den quasistatischen Messungen die Spannungsbereiche der Schaltspannungen deutlich unterscheiden. Bei den quasistatischen Messungen lag U_{SET} zwischen 0,2 V und 0,75 V (vgl. Abbildung 6.5 b). Dieser Spannungsbereich genügt bei kurzen Pulsen nicht mehr, um die Zelle mit einem einzigen Puls anzuschalten. Es bedarf z.B. bei einer Pulsamplitude von 0,8 V einer durchschnittlichen Anzahl von 90 Pulsen, um die Zelle in den R_{ON} zu schalten. Wird die Spannung weiter erhöht, so reduziert sich die Anzahl der benötigten SET-Pulse für ein Schaltevent.

Der Unterschied zwischen quasistatischer und Puls-basierter SET-Spannung liegt dabei in der Natur des Schaltmechanismus. Es wird davon ausgegangen, dass es sich um einen ladungsbasierten Prozess handelt. Durch

$$Q = \int i \cdot dt$$

wird dann deutlich, dass kürzere Zeiten (wie es bei 100 ms Pulsen der Fall war) höhere Spannungen für den SET benötigen, da stets die gleiche Ladungsmenge Q (Ag-Ionenladung) transportiert werden muss. Höhere elektrische Spannungen bzw. Felder

steigern den Strom i (Ionenstrom) des SET.

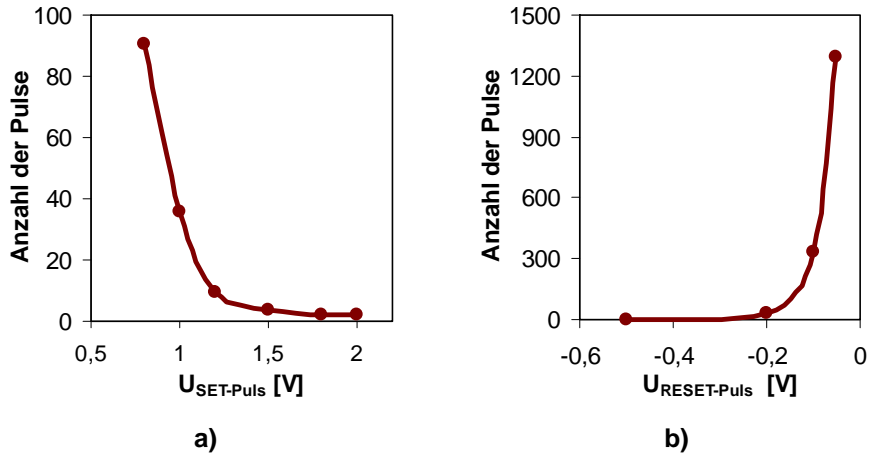


Abbildung 6.13: Anzahl der Pulse, die für ein Schaltevent benötigt wurden, in Abhängigkeit der Pulsamplitude. a) 100 ms SET-Pulse und b) 100 ms RESET-Pulse.

Der Vergleich der RESET-Spannungen stellt sich in einer anderen Weise dar. Hier ähneln sich die Spannungsbereiche der quasistatischen Messungen mit denen der Pulsmessungen. Die Spannungs-Verteilung lag bei den quasistatischen Messungen zwischen - 0,2 V und - 1,6 V (Abbildung 6.5 c). Bei den Pulsmessungen wurden bei - 0,2 V durchschnittlich 30 Pulse für den RESET benötigt, wobei - 0,5 V (was in etwa dem Maximum der quasistatischen Verteilung entsprach) deutlich für das Ausschalten mit 100 ms Pulsen genügte. Der Vergleichbarkeit der Spannungsbereiche zu Folge scheint beim RESET ein anderer Mechanismus zu überwiegen, der jedoch eines vollständig verstandenen Modellbildes noch bedarf.

Ein abschließendes Experiment in Bezug auf die Performance der Pt/MSQ/Ag-Zellen wurde mit sehr kurzen Pulsen durchgeführt, um die Schaltgeschwindigkeiten zu untersuchen.

Die Pulse betrugen eine Weite von 10 ns und wurden mit einem Agilent 81110A Pulsgenerator in Kombination mit der Süss Probestation auf die 100 nm x 100 nm-Zellen gegeben. U_{SET} und U_{RESET} wurden mit $\pm 3,5$ V festgelegt. Nach jedem Puls wurde der Zustand der Zelle über den Agilent B1500A Semiconductor Device Analyser mit einer quasistatischen Messung detektiert ($U_{\text{Lesen}} = 100$ mV). Abbildung 6.14 zeigt die entsprechende Messung.

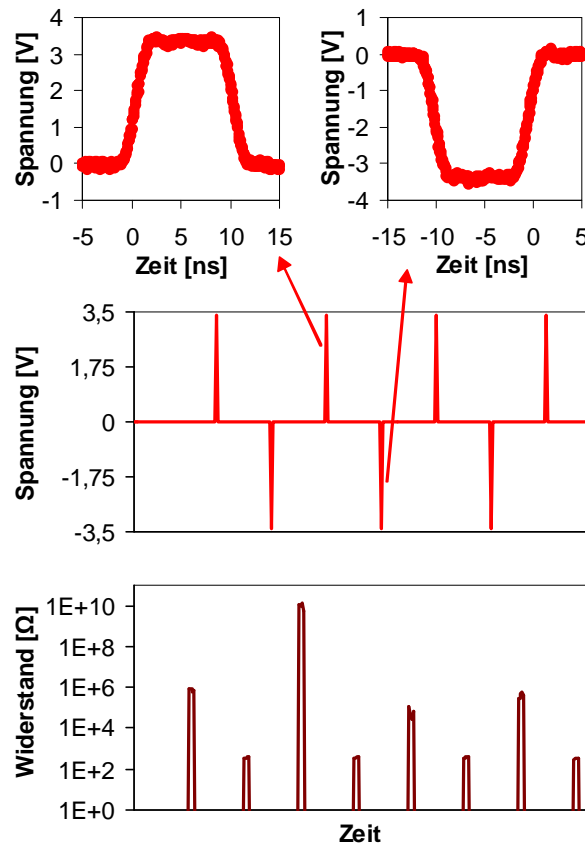


Abbildung 6.14:
Schnelle
Pulsmessungen mit
10 ns Pulsen (oben)
sowie $U_{\text{SET}} = 3,5 \text{ V}$
und $U_{\text{RESET}} = -3,5 \text{ V}$.
Nach jedem
Schaltevent (mitte)
wurde der Zustand
der Zelle
quasistatisch mit
einer Spannung von
100 mV gemessen
(unten). Es waren
darin $R_{\text{ON}} < 1 \text{ k}\Omega$ und
 $R_{\text{OFF}} \geq 100 \text{ k}\Omega$.

Im oberen Teil sind die 10 ns Pulse dargestellt, die mittels Oszilloskop aufgenommen wurden. Der mittlere Bereich zeigt die zeitliche Abfolge der SET- und RESET-Pulse. Der untere Teil der Grafik stellt die Widerstandszustände dar, die nach den einzelnen Schaltimpulsen aufgenommen wurden.

Nach einem Formierungsschritt wurde die Zelle in den $R_{\text{OFF}} = 1 \text{ M}\Omega$ geschaltet. Durch einen positiven Spannungspuls befand sich die Zelle anschließend im ON-Zustand ($\sim 500 \Omega$). Mit einem negativen Puls konnte der Widerstandswert zurück in einen hochohmigen Bereich ($> 100 \text{ k}\Omega$) gebracht werden. Dieses Schalten konnte anschließend weitere Male reproduzierbar durchgeführt werden.

Das Experiment zeigt das Potential der realisierten $100 \text{ nm} \times 100 \text{ nm}$ Pt/MSQ/Ag-Zellen für die Anwendung als schneller Speicher, der somit u. a. im Vergleich zu Flash konkurrenzfähig werden kann [130].

6.5 Programmierung von Wort-Registern

Als Wörter werden die Crossbar-Strukturen bezeichnet, welche aus mehreren, parallelen Bottom-Elektroden und einer einzelnen Top-Elektrode bestehen. Abbildung 6.15 zeigt ein 8-bit Pt/MSQ/Ag Wort-Register mit Linienbreiten von 100 nm.

Diese Wort-Register wurden hergestellt, um den Einfluss zwei benachbarter Zellen aufeinander zu untersuchen [130]. Dazu wurden verschiedene Bit-Muster in das Register geschrieben. Das Programmieren wurde mit quasistatischen Spannungszyklen durchgeführt (vgl. Kapitel 6.1). Darin wurden die Zellen einzeln über Messnadeln kontaktiert und geschaltet. Nach jedem Schaltvorgang wurde direkt der Zustand der Nachbarzellen gelesen, sodass parasitäre Einflüsse hätten erkannt werden können. Abbildung 6.16 stellt das Resultat eines beispielhaften Programmierungszyklusses anhand von Widerstandsmessungen der einzelnen Speicherzellen dar.

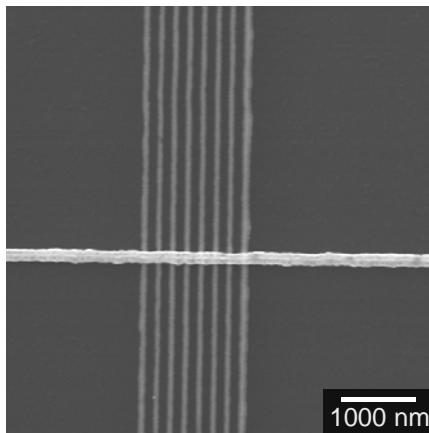


Abbildung 6.15: REM-Aufnahme einer Pt/MSQ/Ag-Wort-Struktur.

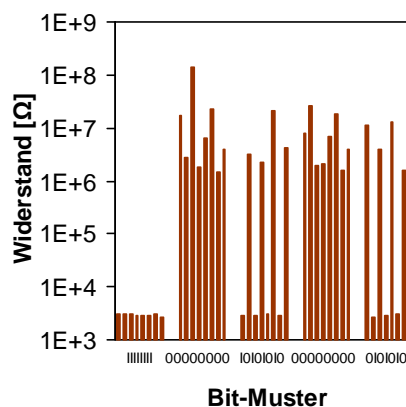


Abbildung 6.16: Programmierung der Wortstruktur. $R_{ON} \sim k\Omega$,
 $R_{OFF} > 1 M\Omega = „0“$

Es zeigt sich hierin zunächst, dass alle acht Bit des Wortes funktionsfähig waren, da diese formiert werden konnten. Die ON-Zustände der Zellen lagen dabei im $k\Omega$ -Bereich. Im ersten Wort des Programmierungszyklusses „11111111“ wurden alle acht Bit unter positiver Spannung in den ON-Zustand (= „1“) geschaltet. Anschließend wurde das gesamte Register mit negativen RESET-Spannungen über die einzelnen Zellen wieder gelöscht. Die OFF-Zustände (= „0“) lagen dabei im Bereich $> 1 M\Omega$.

Um eventuell auftretende Einflüsse auf Nachbarzellen überprüfen zu können, mussten alternierende Bit-Muster, hier „10101010“ und „01010101“, in das Register geschrieben werden. Zwischen der Programmierung mit diesen Mustern wurde das Wort erneut vollständig gelöscht („00000000“). Abbildung 6.16 zeigt neben der ganzheitlichen Programmierung der Register das erfolgreiche Schreiben von alternierenden Wörtern. Somit war demonstriert, dass kein direkter Einfluss der geschalteten Zelle auf die benachbarten auftrat, da deren Zustand erhalten blieb. Der metallische Pfad des ON-Zustandes einer einzelnen Zelle wächst demzufolge nicht ungünstig (z.B. schräg zur Seite), wodurch Nachbarzellen unbeeinflusst bleiben.

Die Schlussfolgerung des Experiments ist, dass mit den vorgestellten Technologien und Materialien die Möglichkeit besteht, Speicherzellen kleiner Fläche und hoher Integrationsdichte (Half-Pitch = 100 nm) zu realisieren.

6.6 Crossbar-Arrays

Bei der Programmierung von Crossbar-Arrays traten im Gegensatz zu den Wort-Strukturen Einflüsse parasitärer Pfade auf. Es konnten zwar einzelne Zellen formiert werden, doch bei dem Versuch weitere, benachbarte Zellen zu formieren, wurde die bereits formierte Zelle stets mitgeschaltet.

Das Problem lag hier bei der höheren Formierungsspannung der Pt/MSQ/Ag-Zellen im Gegensatz zu U_{SET} und an der Streuung der Spannungswerte. (vgl. Kapitel 6.1, Abbildung 6.5: $0,4 \text{ V} < U_{\text{FORM}} < 2 \text{ V}$, $0,2 \text{ V} < U_{\text{SET}} < 0,75 \text{ V}$) Eine vereinfachte Darstellung der Problematik parasitärer Pfade zeigt Abbildung 6.17 anhand eines 4-bit-Arrays. Die Top-Elektroden seien hierin horizontal und die Bottom-Elektroden vertikal angeordnet.

Alle vier Zellen des Arrays seien im OFF-Zustand und nur Zelle *a* sei bereits formiert. Wird nun eine Formierungsspannung über *c* angelegt, so entsteht ein parasitärer Spannungspfad über *d-b-a*, da alle Zellen im Array physikalisch miteinander verknüpft sind. In diesem Pfad teilt sich U_{FORM} auf die drei Zellen auf, sodass je $1/3 \cdot U_{\text{FORM}}$ über *d*, *b* und *a* abfällt. Diese Teilspannung kann jedoch bereits ausreichen, um die formierte Zelle *a* zu schalten, da $U_{\text{SET}} < U_{\text{FORM}}$ (im Mittel).

Die Problematik der Spannungswertstreuung wird an einem ähnlichen Beispiel deutlich. Es seien nun alle vier Zellen im OFF-Zustand und formiert. Wird nun die Zelle *c* mit U_{SET} zum Schalten gebracht, so ergibt sich der gleiche parasitäre Pfad über *d-b-a* und es fällt über jede der Zellen $1/3 \cdot U_{\text{SET}}$ ab. Nach der Spannungsverteilung ($0,2 \text{ V} < U_{\text{SET}} < 0,75 \text{ V}$) muss U_{SET} an *c* mindestens 0,75 V betragen, um *c* statistisch zu 100 % zu schalten. Dies bedeutet gleichzeitig, dass mit $1/3 \cdot U_{\text{SET}}$ jeweils 0,25 V über die Zellen *d*, *b* und *a* abfällt. Da 0,25 V jedoch innerhalb der Spannungsverteilung liegt,

schaltet in ca. 20 % der Fälle (vgl. Abbildung 6.5) eine der drei Zellen d , b , a des parasitären Pfades an. Zunehmend komplexer wird der Sachverhalt, wenn die Zellen des Arrays sich in unterschiedlichen Widerstands-Zuständen (ON und OFF) befinden und die Array-Fläche wächst (siehe dazu [79]).

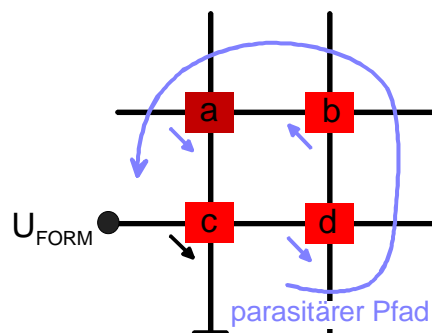


Abbildung 6.17:

Parasitärer Spannungspfad in einem 2 x 2 bit Array. a , b , c , d sind im R_{OFF} , wobei a bereits formiert wurde und teils durch $1/3 \cdot U_{\text{FORM}}$ geschaltet werden kann.

Die parasitären Spannungspfade können durch verschiedene Potentiale auf allen Elektroden vermieden werden, da somit über alle Zellen des Arrays kontrolliert eingestellte Spannungen abfallen [79, 91]. Dazu ist allerdings ein Messplatz nötig, mit dem alle Elektroden des Arrays kontaktiert werden können (bis zu $64 + 64 = 128$ Nadeln). Dieser stand hier nicht zur Verfügung, ist aber bereits in Planung.

Die Problematik der Spannungswertesteuerung kann jedoch auch bei der Verwendung eines neuen Messplatzes und Spannungsmustern kritisch bleiben. Es ist demzufolge notwendig, nichtlineare Bauelemente (z.B. Dioden) in die Crossbar-Architektur zu integrieren. Werden diese Bauelemente in Serie zu den resistiven Elementen geschaltet – dies bedeutet eine Aufeinandererschichtung von Diode und Speicherzelle –, so verschieben sich die Schaltspannungen und es entstehen größere Toleranzen bei der Wahl der unterschiedlichen Potentiale auf den Elektroden.

Ohne jene Maßnahmen war es jedoch in dieser Arbeit nicht möglich, passive Crossbar-Arrays gezielt zu programmieren.

7 Die Mehrlagen-Architektur

Werden Crossbar-Arrays übereinander gestapelt, so erhöht sich die Integrationsdichte. Einzelne Speicherzellen benötigen in Mehrlagen-Architekturen lediglich eine Minimalfläche von $4/n \cdot F^2$, wobei n die Anzahl der übereinander liegenden Zellen und F die kleinstmögliche Strukturauflösung darstellen. Dieser bedeutende Vorteil motiviert unter anderem das in diesem Kapitel vorgestellte Konzept.

Es wird im Folgenden zunächst die Erweiterung der Crossbar-Herstellung für die Realisierung von Mehrlagen-Crossbar-Arrays beschrieben. Anschließend wird ein 3-D-Speicherkonzept vorgestellt, welches auf Ag-dotiertem MSQ basiert.

7.1 Herstellung von Multilagen-Crossbars

Wächst die laterale Dimension von Crossbar-Arrays, sodass große Array-Flächen und damit sehr lange Elektrodenleitungen entstehen, resultieren hohe Leitungswiderstände. Diese können zum einen die Detektion der Speicherzustände einzelner Speicherzellen an den Kreuzungspunkten der Arrays erschweren. Zum anderen würde der Spannungsabfall über die Leiterbahn zum Teil zu groß sein, um Zellen im Array-Zentrum schreiben zu können. Dadurch wird die Möglichkeit lateraler Dimensionen der Arrays limitiert [79].

Um den Vorteil der hohen Integrationsdichte von Crossbar-Arrays dennoch zu bewahren, können Multilagen-Konzepte entworfen werden, bei denen mehrere Arrays in einem vertikalen Stapel übereinander liegen [132, 133]. Darin ist vor allem die Planarisierung jeder einzelnen Metallisierungslage mittels Spin-On Gläsern für die Realisierung mehrerer Schichtstapel von großem Vorteil.

Eine hergestellte Mehrlagen-Crossbar-Architektur ist in Abbildung 7.1 dargestellt. Darin zeigt Abbildung 7.1 a) eine defektfreie $3 \times 16 \times 16$ bit Array-Architektur mit Linienweiten von 200 nm. Die Elektroden bestanden aus 30 nm hohen Pt-Leiterbahnen. Deutlich sind die vier Metalllagen zu erkennen, zwischen denen sich Spin-On Glas (MSQ) befindet (Abbildung 7.1 b). Jede einzelne Metalllage besteht aufgrund des Planarisierungsschrittes aus ebenen Leiterbahnen, welche keine Artefakte aufweisen, die aus einem unebenen Substrat resultieren könnten (vgl. Kapitel 5.5). Die Herstellung der Elektroden wurde, wie in Kapitel 5.1 beschrieben, unter Verwendung der Nanoimprint-Lithographie durchgeführt.

Die technologische Herausforderung des Mehrlagen-Konzepts lag im Wesentlichen in

der Ausrichtung der einzelnen Lagen zueinander. Da die dritte und vierte Lage denen der ersten und zweiten im Maskendesign entsprachen, lagen dementsprechend die Alignment-Marker der zusätzlichen Schichten (drei und vier) über den bereits vorhandenen (eins und zwei). Trotz erschwelter Bedingungen konnten jedoch auch hier Genauigkeiten von $< 1 \mu\text{m}$ während des Alignments erreicht werden. Um die Präzision zu steigern, müssen zukünftig allerdings weitere Marker bzw. zusätzliche Masken entworfen werden, sodass jede Lage eigene Alignment-Strukturen enthält.

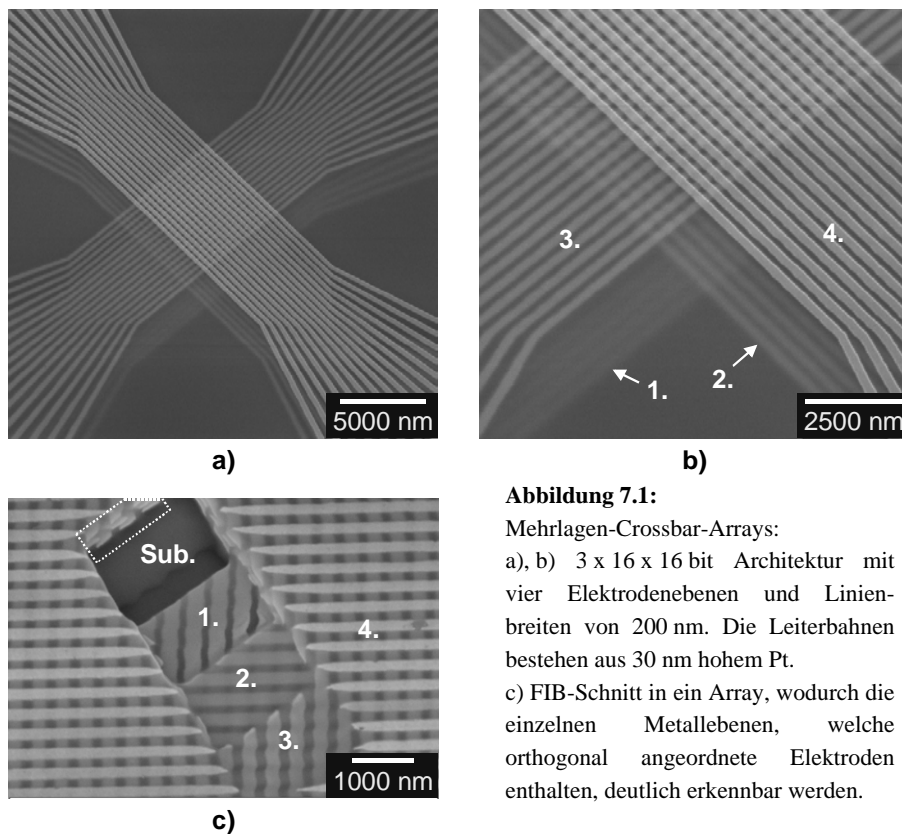


Abbildung 7.1:

Mehrlagen-Crossbar-Arrays:

a), b) $3 \times 16 \times 16$ bit Architektur mit vier Elektrodenebenen und Linienbreiten von 200 nm. Die Leiterbahnen bestehen aus 30 nm hohem Pt.

c) FIB-Schnitt in ein Array, wodurch die einzelnen Metallebenen, welche orthogonal angeordnete Elektroden enthalten, deutlich erkennbar werden.

Abbildung 7.1 c) zeigt vier Schnitte im Array, die mittels **Focused Ion Beam (FIB)** durchgeführt wurden. Die Schnitte sind unterschiedlich tief, wodurch sowohl die Elektroden verschiedener Lagen, welche orthogonal zueinander stehen, als auch das

Substrat freigelegt wurden. Am Rand des Grabens, welcher bis in das Substrat reicht, erscheint die Elektrodenkonfiguration in vertikaler Ausrichtung (gekennzeichneter Bereich Abbildung 7.1 c). Hieraus wird eine mögliche, vertikale Anordnung der Speicherzellen deutlich, die übereinander gestapelt sind.

Gestapelte Speicherzellen sind mit der konventionellen CMOS-Technologie (z.B. Flash) nicht realisierbar. Dies untermauert den Vorteil der Crossbar-Architektur für die Anwendung hochintegrierter Speicherzellen.

Einen Nachteil enthält jedoch auch das vorgestellte Mehrlagenkonzept in Bezug auf die Materialauswahl der Nanoelektroden. Es kann hierbei beispielsweise kein Ag verwendet werden, da durch die Planarisierung Temperaturprozesse notwendig sind, um das MSQ zu härten (vgl. Kapitel 5.1). Diese Temperaturprozesse führen zur Zerstörung von Ag-Elektroden. Somit müssen für Speicherkonzepte, bei denen derartige Materialien Anwendung finden, alternative Lösungen, beispielsweise durch Silberdotierung, entwickelt werden [132].

7.2 Ag-Dotieren der MSQ-Zellen

Das Dotieren der Glasmatrix bei resistiv schaltenden Systemen, welche ein leicht oxidierbares Top-Material beinhalten, ist aus der Literatur bekannt [68, 70]. Es wurden thermisch oder UV-Licht induzierte Diffusionen der Top-Elektroden-Metalle in die funktionale Schicht verwendet, um das Schalten derartiger Systeme stabiler zu gestalten.

Die Möglichkeit der Dotierung von SiO₂-basierten Schichten durch kontrollierte thermisch aktivierte Diffusion umfasst gleichermaßen jedoch auch die begrenzte Stabilität derartiger resistiver Speicherzellen bei thermischer Belastung. Wird beispielsweise eine Pt/MSQ/Ag-Zelle einer Temperatur von 400°C ausgesetzt, so diffundiert die Ag-Top-Elektrode in die darunter liegende MSQ Schicht. Dies führt zur Zerstörung jener Leiterbahnen, wie in Abbildung 7.2 anhand einer REM-Aufnahme zu erkennen ist.

Demnach bleibt eine Temperaturbehandlung der Pt/MSQ/Ag-Zellen, wie sie z.B. in Back-End-Of-Line (BEOL) - Prozessen der CMOS-Linie vorkommen kann, nicht ohne Konsequenzen. In Folge dessen sollte die Diffusion des Ag in die MSQ-Schicht kontrolliert ausgenutzt werden, um die Zerstörung der Top-Elektrode durch thermische Belastung zu vermeiden. Dies war bei der Weiterverarbeitung hergestellter Speicherzellen, entweder in BEOL-Prozessen (z.B. SiN-Passivierung) oder der Stapelung mehrerer Crossbar-Elemente übereinander (siehe Kapitel 7.1), von großer Wichtigkeit. Es wurden dazu zwei Experimente durchgeführt, um den Einfluss der Ag-Diffusion in Pt/MSQ/Ag-Systemen zu untersuchen.

In dem ersten Experiment wurde eine fertig gestellte Pt/MSQ/Ag-Probe für 5 min auf 450°C unter N₂-Atmosphäre erhitzt. Das Ag diffundierte dabei in die MSQ Schicht, wodurch die Top-Elektrode an der Oberfläche partiell verschwand (vgl. Abbildung 7.2). Anschließend wurde die Top-Elektrode mit Ag übermetallisiert, strukturiert und somit erneuert. Eine dotierte Pt/Ag-MSQ/Ag-Zelle war hergestellt. Diese Zellen wurden anschließend mittels quasistatischer, elektrischer Messungen charakterisiert. Eine typische I(U)-Kurve ist in Abbildung 7.3 dargestellt. Diese wurde an einer 2 x 3 µm²-Zelle aufgenommen, die mittels optischer Lithographie und Lift-Off-Verfahren hergestellt wurde.

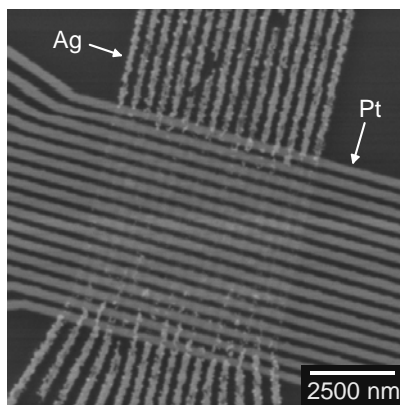


Abbildung 7.2: Zerstörung der Ag-Top-Elektrode durch Temperaturbehandlung.

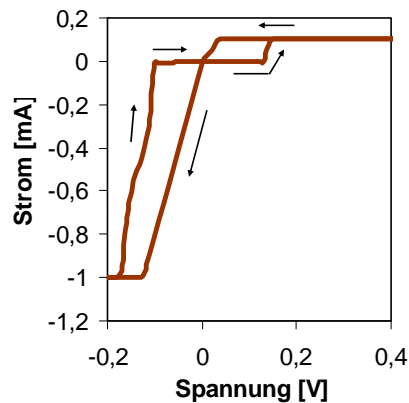


Abbildung 7.3: Resistives Schalten einer Ag-dotierten Pt/Ag-MSQ/Ag-Zelle.

Es ist zu erkennen, dass auch die dotierten Zellen resistives Schalten zeigten. Allerdings waren deutliche Unterschiede zu den undotierten Zellen zu beobachten. Auf der einen Seite fand bei den Pt/Ag-MSQ/Ag-Zellen kein eindeutiger Formierungs-Prozess statt, da es während des ersten, initialen Schaltvorgangs keiner signifikant höheren Spannung bedarf. Die Zellen schalteten initial bereits zwischen 0,1 V und 0,6 V. Auf der anderen Seite waren die Ausschaltströme deutlich höher als bei den undotierten Zellen. Der maximale Ausschaltstrom wurde hier auf -1 mA begrenzt, sodass die Struktur nicht zerstört wurde. Die hohen Ausschaltströme deuten auf einen unipolaren Schaltmechanismus hin, welcher im Wesentlichen durch das Limitieren des maximalen Stromes durch die resistive Zelle gesteuert wird (vgl. Kapitel 3). Unipolares Schalten ist auch aus der Literatur an Cu-dotierten SiO₂-Strukturen bekannt [69]. Der Versuch die

Pt/Ag-MSQ/Ag-Zelle mit positiven Spannungspolaritäten auszuschalten, um Unipolarität eindeutig nachzuweisen, scheiterte jedoch. Der Mechanismus des Eintreibens von Ag in die MSQ-Schicht unter positiver Spannung scheint dabei dominanterer Art zu sein. Es kann also bei Pt/Ag-MSQ/Ag-Zellen nicht von unipolarem Schalten gesprochen werden, da zwar hohe Ausschaltströme auftreten aber beide Spannungspolaritäten für den Schaltprozess von Nöten sind.

Nichtsdestotrotz konnte generell resistives Schalten in Ag-dotierten Systemen gezeigt werden, welches zugleich ein weiterführendes, zweites Experiment einleitete. Es sollten hierin Ag-dotierte MSQ-Bauelemente realisiert werden, welche sowohl aus inerten Pt-Bottom- als auch Pt-Top-Elektroden bestanden. Ziel war es, die Speicherzellen aufgrund der ausschließlichen Verwendung von Pt-Elektroden temperaturstabiler zu gestalten. Versuche an Pt/Ag-SiO₂/Pt-Systemen der Literatur wiesen bereits stark auf ein Schaltverhalten zwischen zwei Widerstandszuständen hin, wodurch die Motivation des zweiten Experiments gestärkt werden konnte [131].

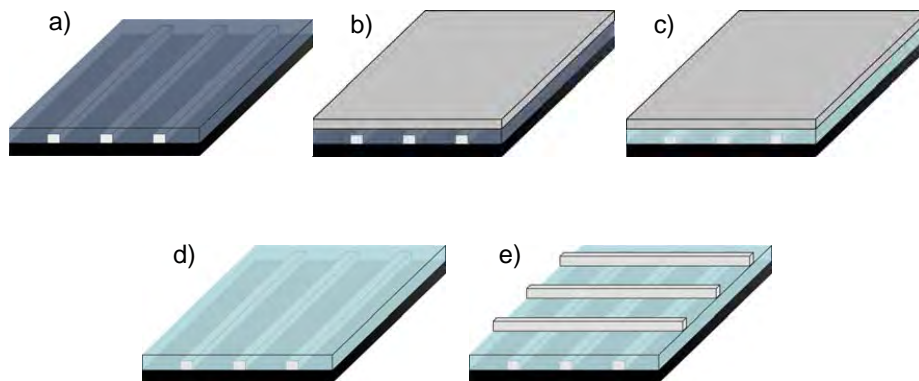


Abbildung 7.4: Herstellung von Pt/Ag-MSQ/Pt-Crossbar-Strukturen: a) Planarisierung der Bottom-Elektroden und Dünnen der MSQ-Schicht, b) Aufdampfen von 10 nm Ag, c) Dotieren der MSQ-Schicht mit Ag bei 450°C unter N₂-Atmosphäre, d) Entfernen der Ag-Schicht in einem Ar-RIBE-Prozess, e) Realisierung von Pt-Top-Elektroden mittels Nanoimprint- oder optischer Lithographie.

Für die Realisierung von Pt/Ag-MSQ/Pt-Crossbars wurde der Herstellungsprozess zum Teil geändert. Abbildung 7.4 stellt diese Abänderungen dar. Nach der Planarisierung der Bottom-Elektroden und dem Dünnen der MSQ-Schicht (Abbildung 7.4 a) wurde eine

10 nm dicke Ag-Schicht aufgedampft (Abbildung 7.4 b). In einem 450°C-Temperaturprozess wurde dann die MSQ-Schicht mit Ag unter N₂-Atmosphäre dotiert (Abbildung 7.4 c). Anschließend wurde die Ag-Schicht in einem Ar-RIBE-Prozess wieder entfernt (Abbildung 7.4 d) und 30 nm hohe Pt-Elektroden auf die Ag-dotierte MSQ-Schicht aufgebracht (Abbildung 7.4 d). Die Strukturierung der Elektroden konnte darin mittels Nanoimprint- oder optischer Lithographie durchgeführt werden.

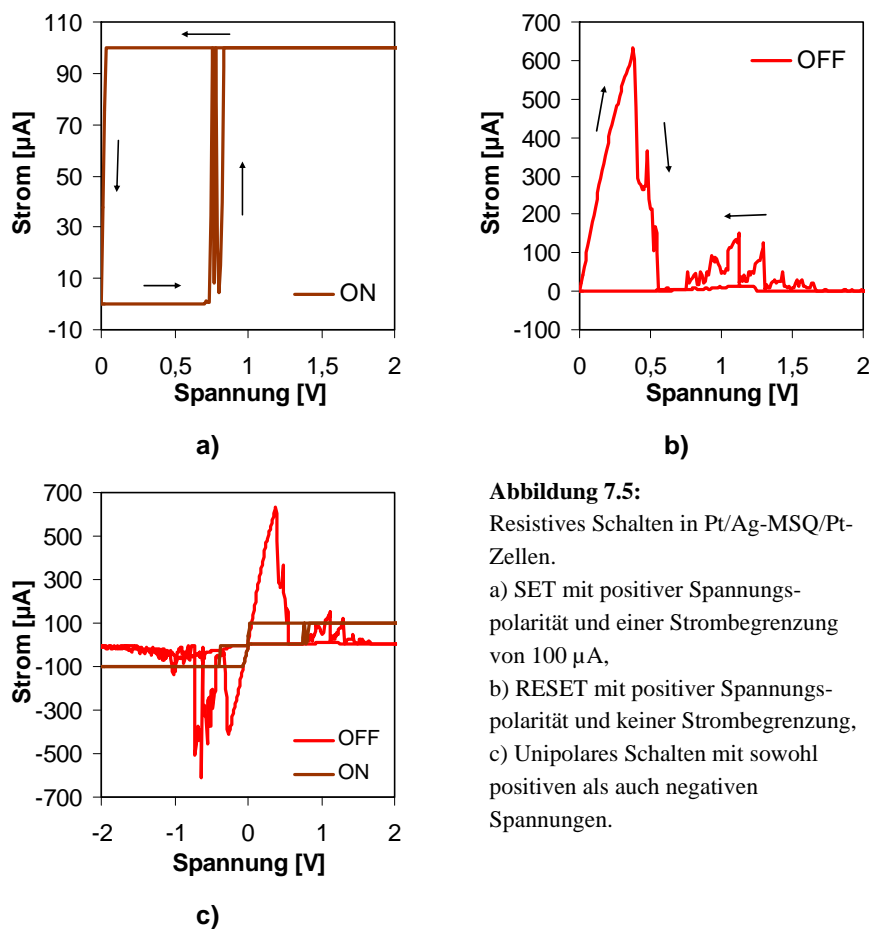


Abbildung 7.5:

Resistives Schalten in Pt/Ag-MSQ/Pt-Zellen.

- a) SET mit positiver Spannungspolarität und einer Strombegrenzung von 100 µA,
- b) RESET mit positiver Spannungspolarität und keiner Strombegrenzung,
- c) Unipolares Schalten mit sowohl positiven als auch negativen Spannungen.

Für die elektrische Charakterisierung der Pt/Ag-MSQ/Pt-Crossbars wurden quasistatische Messungen eingesetzt. Abbildung 7.5 zeigt beispielhafte I(U)-Kennlinien, die an einer 3 x 3 µm²-Einzelkreuzstruktur aufgenommen wurden. Erhöht

sich initial die positive Spannung an der Crossbar-Struktur, so schaltet die Zelle bei 0,75 V, ausgehend von einem hochohmigen Zustand, in den niederohmigen Zustand (SET siehe Abbildung 7.5 a). Auch hier konnte nicht auf einen Formierungsschritt, aufgrund fehlender signifikanter Spannungswertunterschiede, geschlossen werden. Der maximal zulässige Strom durch die Crossbar-Struktur wurde auf 100 μA begrenzt. Wird nach dem SET die Strombegrenzung entfernt und die Spannung über das Bauelement mit gleicher Polarität erhöht, so findet ein RESET bei $\sim 0,5\text{ V}$ statt (Abbildung 7.5 b). Der Ausschaltstrom liegt hierin bei $\sim 650\text{ }\mu\text{A}$. Es zeigte sich demzufolge, dass in Pt/Ag-MSQ/Pt-Zellen „echtes“ unipolares (im Vergleich zu Pt/Ag-MSQ/Ag-Zellen) Schalten auftritt. Dies konnte mit beiden Spannungspolaritäten reproduziert werden (siehe Abbildung 7.5 c).

Da das hier realisierte System eher symmetrischer Natur war, im Gegensatz zu dem, welches mit Ag-Top-Elektroden hergestellt wurde, konnten die Bauelemente unipolar geschaltet werden. Das Reservoir an Ag, welches sich bei einer Ag-Top-Elektrode über der dotierten MSQ befindet, entfällt bei dem Pt/Ag-MSQ/Pt-System. Dadurch scheint der RESET mit positiver Spannung, aufgrund des weniger dominanten Eintreibens von Ag in die MSQ-Schicht, möglich zu werden.

Das Auftreten von Schaltmechanismen in Ag-dotierten MSQ-Systemen, welche lediglich inerte Pt-Elektroden beinhalten, bietet eine Basis zur Realisierung von Speicherzellen, die temperaturstabil für nachfolgende BEOL-Prozesse oder Mehrlagen-Architekturen sind.

Abschließend zu den Dotierungsexperimenten sollte mit Hilfe von TOF-SIMS (Time of Flight - Secondary Ion Mass Spectroscopy)-Analysen das Dotierungsprofil bzw. die Diffusionstiefe des Ag in die MSQ-Schicht ermittelt werden. Beim TOF-SIMS wird die Probenoberfläche sukzessive durch ein Sputterverfahren abgetragen. Die entstehenden Sekundärionen werden beschleunigt und nach deren Masse selektiert. Dabei wird aus der jeweils gemessenen Flugzeit die zugehörige Masse des nachgewiesenen Sekundärions bestimmt, wodurch eine Materialanalyse der Oberfläche gewonnen wird. Abbildung 7.6 stellt das Tiefenprofil unterschiedlich behandelte MSQ-Schichten dar. Es ist hier das Ag-Signal in [counts] – der SIMS-Detektor zählt die auftreffenden Ag-Ionen – über die Probentiefe aufgetragen.

Die Proben des TOF-SIMS-Experiments bestanden aus einem Pt/MSQ/Ag-Schichtstapel, wobei die MSQ-Schicht nicht gedünnt und somit 160 nm dick war. Es wurden drei Proben analysiert. Eine Probe war unbehandelt (as deposited), eine Probe wurde einer Temperatur von 450°C für 5 min ausgesetzt und die letzte Probe wurde einer Temperatur von 450°C für 60 min ausgesetzt. Anhand der Tiefenprofilmessung in Abbildung 7.6 ist die Diffusion des Ag bei den Temperatur behandelten Proben deutlich zu erkennen.

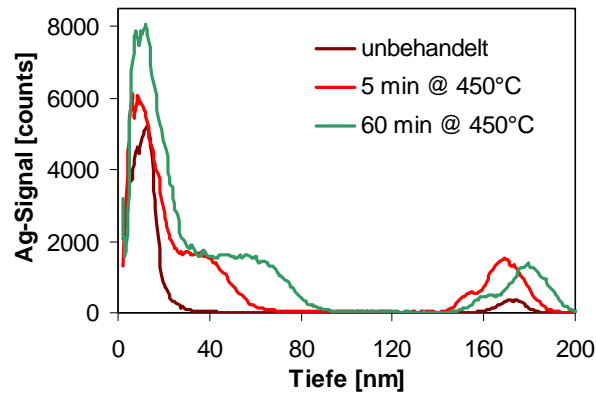


Abbildung 7.6:
TOF-SIMS-Analyse
an drei verschiedenen
Pt/MSQ/Ag-
Schichtstapeln,
welche
unterschiedlichen
Temperatur-
bedingungen
ausgesetzt waren.

Der erste Peak zwischen 0 nm und 30 nm stellt bei allen drei Proben den Bereich der Ag-Topelektrode dar. Nach diesem ersten Maximum verlaufen die drei Kurven auf unterschiedliche Weise. Das Ag-Signal der unbehandelten Probe fällt unmittelbar nach dem Peak auf 0 counts ab. Es war also ab einer Tiefe von 30 nm kein Ag mehr detektierbar. Im Gegensatz zu den anderen beiden Kurven, welche zunächst eine Schulter bilden, bevor das Ag-Signal auf 0 counts abfällt. Hier war das Ag in die darunter liegende MSQ-Schicht eindiffundiert. Dabei drang das Ag bei einer 5-minütigen Temperaturbehandlung ca. 20-30 nm und bei einer 60-minütigen Temperaturbehandlung ca. 50-60 nm tief ein. Es war somit davon auszugehen, dass die oben charakterisierten Pt/Ag-MSQ/Pt-Bauteile über eine nahezu vollständig gesättigte MSQ-Schicht verfügten, da dessen Dicke mit 20-30 nm der Diffusionslänge des Ag bei einer fünfminütigen Temperaturbehandlung entsprach.

Im weiteren Verlauf aller Kurven der Abbildung 7.6 ist ein erneuter Anstieg des Ag-Signals bei einer Tiefe von 150 nm – 190 nm zu erkennen. Dies ist die Grenzschicht zur Pt-Bottom-Elektrode. Das Auftreten von Ag an der Pt-Grenze lässt sich hier zunächst nicht erklären. Es scheint allerdings, als trete eine Anhäufung von Ag auf, da das Pt eine weitere Ag-Diffusion in die Tiefe verhindert. Zur Aufklärung dieses Phänomens müssen jedoch weiterführende Untersuchungen stattfinden.

7.3 Drei-dimensionale MSQ-Speicher

Mehrlagen Architekturen, wie sie in Kapitel 7.1 vorgestellt wurden, bieten den Vorteil einer erhöhten Integrationsdichte gegenüber einlagiger Crossbar-Arrays. Die Realisierung dreidimensionaler Crossbar-Speicher sollte durch die Kombination der Herstellungstechnologie für Mehrlagen-Architekturen (Kapitel 7.1) und schaltbarer

Pt/Ag-MSQ/Pt-Zellen (Kapitel 7.2) erfolgen. Es wurden dazu zwei Crossbar-Strukturen, welche aus drei Metallebenen und zwei resistiven Schichten bestanden, übereinander gestapelt. Als funktionales Material wurde 20-30 nm dickes, Ag-dotiertes MSQ verwendet und die Elektroden bestanden aus 30 nm hohem Pt. Für die Strukturierung wurde die Nanoimprint-Lithographie eingesetzt. Abbildung 7.7 zeigt (links) den Aufbau des 3D-Crossbars anhand einer REM-Aufnahme. In ein Array mit 200 nm Elektroden wurde ein Fenster mittels FIB geschnitten.

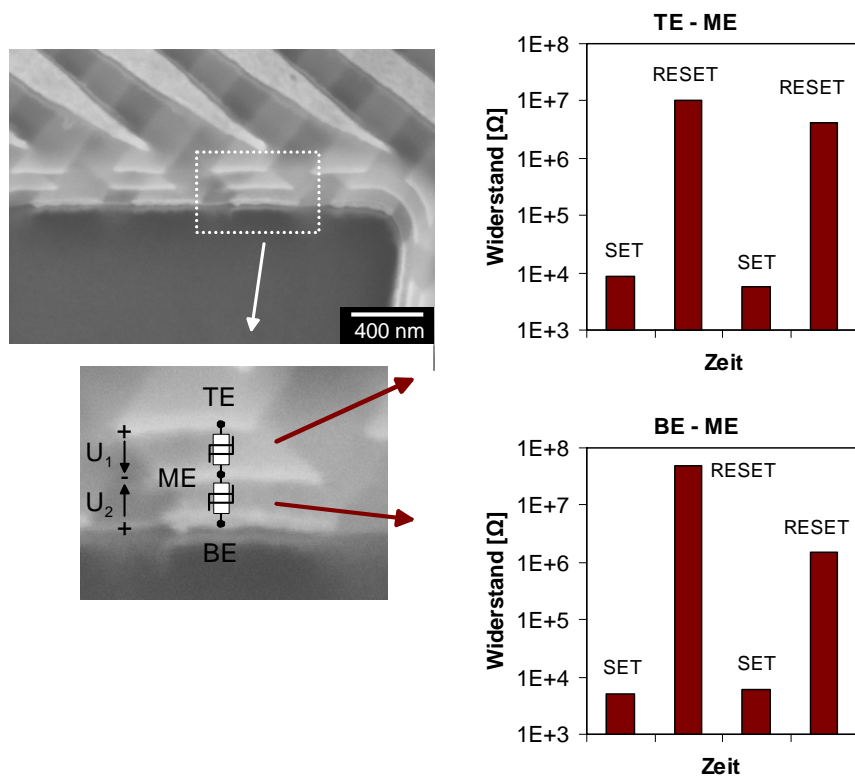


Abbildung 7.7: Resistives Schalten in 3D-Pt/Ag-MSQ/Pt-Crossbar-Strukturen. Die linke Seite zeigt die hergestellte Doppellagen-Zelle und die schematisch eingezeichnete Verschaltung der elektrischen Charakterisierung. Die rechte Seite zeigt die Widerstandsmessungen der oberen und unteren Zelle nach den jeweiligen SET- und RESET-Schaltevents. Es konnten beide Zellen zwischen einem niederohmigen ON-Zustand ($\sim k\Omega$) und einem hochohmigen OFF-Zustand ($> 1 M\Omega$) unipolar geschaltet werden.

Nach der Herstellung der 3D-Zellen wurden quasistatische, elektrische Messungen an den einzelnen Strukturen der Architektur durchgeführt. Dazu wurde eine Spannung U_1 zwischen Top-Elektrode (TE) und Mittel-Elektrode (ME) sowie eine Spannung U_2 zwischen Bottom-Elektrode (BE) und Mittel-Elektrode (ME) angelegt (siehe Abbildung 7.7 links unten). Da die Pt/Ag-MSQ/Pt-Zellen unipolar schalten, war die Spannungsrichtung, welche zum Schaltevent führen sollte, nicht von Bedeutung. Es wurde somit die Mittel-Elektrode auf Massepotential und die Top- bzw. Bottom-Elektrode auf positives Potential gelegt. SET und RESET wurden über den Maximalstrom durch die Zelle kontrolliert. Beim SET wurde eine Strombegrenzung von $100\text{ }\mu\text{A}$ gewählt. Beim RESET entfiel die Strombegrenzung, sodass der nötige Ausschaltstrom ($< 1\text{ mA}$) durch die Zelle fließen konnte. Abbildung 7.7 zeigt (rechts) die Ergebnisse der elektrischen Charakterisierung einer $200 \times 200\text{ nm}^2$ Zweilageneinzelkreuz-Struktur, wie sie beispielhaft auf der linken Seite zu sehen ist.

Es sind die gemessenen Widerstände nach SET und RESET für die Pt/Ag-MSQ/Pt-Bottom-Zelle und -Top-Zelle dargestellt. Wie zu erkennen ist, konnte sowohl die obere als auch die untere Zelle reproduzierbar zwischen einem hochohmigen OFF-Zustand ($> 1\text{ M}\Omega$) und einem niederohmigen ON-Zustand ($\sim \text{k}\Omega$) geschaltet werden.

Das Experiment zeigt die prinzipielle Realisierbarkeit von Mehrlagen-Pt/Ag-MSQ/Pt-Speichern, da sowohl die Herstellung als auch die elektrische Charakterisierung erfolgreiche Resultate ergaben. Allerdings konnte reproduzierbares Schalten lediglich an vereinzelt Crossbar-Strukturen, die sich über den $4''$ -Wafer verteilten, nachgewiesen werden. Es ist davon auszugehen, dass die Temperaturbehandlungen, die bei der Herstellung erfolgen, – mehrere Lagen bedingen mehrere Ausheizschritte des MSQ – die Dotierungsprofile der MSQ-Schicht verschieben (vgl. Abbildung 7.6). Dies kann dazu führen, dass vor allem die Widerstandszustände der unteren Zellen instabil werden. Eine denkbare Lösung des Problems ist die längere Dotierung der MSQ-Schicht (beispielsweise über 60 min), sodass diese vollständig Ag-gesättigt ist, was in dem vorliegenden Fall möglicherweise nicht der Fall war.

Eine weitere Problematik war höchst wahrscheinlich die inhomogene Verteilung der Ag-Dotierung über den $4''$ -Wafer, wodurch lediglich partiell genügend Ag für Schaltvorgänge vorhanden war. Diese Inhomogenitäten lassen sich bei einer Dotierung mittels Temperatur jedoch auch kaum kontrollieren. Eine Alternative kann hierbei beispielsweise die Dotierung durch Ionenimplantation bieten. Ferner ist es möglich, Sol-Gel-Techniken einzusetzen, wie es in Referenz [131] gezeigt wurde. Dabei wird die Menge an Ag in einer SiO_2 -Lösung genauestens eingestellt. Zudem ist es vorstellbar, dass die bei der Sol-Gel-Methode verwendeten Flüssigkeiten planarisierend wirken, welches einen zusätzlich attraktiven Vorteil bei der Herstellung von Speicher-Strukturen mittels Nanoimprint-Lithographie (vgl. Kapitel 5.5) darstellen würde.

8 Zusammenfassung und Ausblick

Diese Arbeit stellt einen Beitrag zur Entwicklung neuartiger Speicherkonzepte, welche auf dem Prinzip des resistiven Schaltens basieren, dar. Für die Herstellung zukunftsorientierter Architekturen wurde ein Nanoimprint-Lithographie-Prozess entwickelt und standardisiert. Als neues resistiv schaltendes Materialsystem wurde Methyl-Silsesquioxan in Kombination mit Silber entdeckt und untersucht. Die Integration dieser Materialkomposition in Crossbar-Architekturen sowie die elektrische Charakterisierung der Speicherbauteile lieferten Hinweise auf den Schaltmechanismus und Aufschlüsse über die Performance des entwickelten Konzepts.

Technologieentwicklung

Die Entwicklung eines Herstellungsverfahrens für Crossbar-basierte Speicherkonzepte im sub-100 nm-Bereich umfasste die Einführung einer (in Jülich) neuen Nanoimprint-Lithographie sowie die Erweiterung von Trockenätzprozessen.

Bei der Verwirklichung eines standardisierten Imprint-Prozesses wurden thermisch- und UV-basierte Verfahren untersucht und miteinander verglichen. Es stellte sich dabei heraus, dass lediglich der UV-Imprint für die hier gegebenen Anforderungen an die Herstellung von Strukturen im Nanometerbereich geeignet war. Es wurden demzufolge die Prozessparameter (Druck, Zeit, UV-Dosis und Temperatur) auf die UV-basierte Imprint-Lithographie angepasst.

Die Anpassung der Imprint-Parameter bedurfte (und bedarf auch in Zukunft) der Berücksichtigung des Stempellayouts. Es musste anhand von experimentellen Untersuchungen die optimale Lackdicke in Bezug auf die zu realisierenden Strukturgrößen gefunden werden. Dazu wurden Fülleffekte des Imprint-Lacks an unterschiedlich dimensionierten Stempelkavitäten sowie die Verteilung des Residual-Layers untersucht.

Das reaktive Ionenstrahl-Ätzen wurde in dieser Arbeit für die Strukturierung von Nanoimprint-Stempeln, metallischen Leiterbahnen und Imprint-Lacken optimiert. Dabei wurden die Parameter (Ionenstrom, Beschleunigungsspannung und Gasmischungsverhältnis) den unterschiedlichen Materialien und Strukturen angepasst.

Insbesondere die Entfernung des Residual-Layers nach dem Imprint-Prozess erforderte die Optimierung von Ätzprofilen. Da während des Residual-Ätzens üblicherweise keine

Ätzmaskierung zur Verfügung stand, mussten die Prozessparameter mit besonderer Berücksichtigung auf Strukturverluste durch chemischen Ätzabtrag angepasst werden. Mit einem CF_4/Ar -Gasmischungsverhältnis von 1/1 wurden Lackprofile mit 90° Ätzflanken erzielt.

Eine alternative Residual-Ätz-Methode wurde mit dem Reverse-Tone-Verfahren entwickelt, in dem auch bei der Strukturierung von Lacken nach einem Imprint-Prozess Ätzmasken verwendet werden können. Dadurch ist es in Zukunft möglich, auch wesentlich höhere Residual-Layer zu strukturieren.

Crossbar-Arrays mit einem Half-Pitch von bis zu 50 nm und Einzelkreuz-Strukturen mit Linienbreiten von bis zu 30 nm wurden mit Hilfe der (weiter)entwickelten Halbleitertechnologien hergestellt. Dazu wurde ein Alignment-System entwickelt, welches eine Ausrichtungs-Genauigkeit von 200 nm bot. Die Funktionsfähigkeit der hergestellten Crossbar-Arrays konnte anhand von Leitungswiderstandsmessungen der Bottom- und Top-Elektroden bis zu einem minimalen Half-Pitch von 100 nm nachgewiesen werden. Kleinere Arrays (< 100 nm Half-Pitch) waren aufgrund unzureichender Zuleitungsperipherie nicht kontaktierbar.

Durch die Integration von TiO_2 in Crossbar-Arrays sowie durch deren elektrische Charakterisierung wurde die erfolgreiche Technologie-Entwicklung zur Herstellung von Crossbar-Architekturen demonstriert. Die hergestellten $\text{Pt}/\text{TiO}_2/\text{Pt}$ -Zellen schalteten. Das erste Ziel dieser Arbeit, die Bereitstellung einer Integrations-Plattform für sämtliche resistive Materialien, war damit erreicht.

Die Durchführung eines Nanoimprint-Prozesses auf einer vorstrukturierten Oberfläche bedurfte eines Planarisierungsverfahrens mittels Spin-On-Glas (Methyl-Silsesquioxan). Durch die Planarisierung von Oberflächen war es ferner möglich, mehrlagige Crossbar-Strukturen herzustellen, welche bis zu vier Metallisierungsebenen umfassten.

MSQ-Speicherkonzepte

Methyl-Silsesquioxan in Kombination mit Silber wurde in dieser Arbeit, neben der Planarisierung, als resistiv schaltendes Material entdeckt. Erste elektrische Messungen zeigten sowohl an $3 \times 3 \mu\text{m}^2$ als auch an $100 \times 100 \text{ nm}^2$ großen $\text{Pt}/\text{MSQ}/\text{Ag}$ -Einzelzellen das Potential des MSQ-Materialsystems für die Anwendung als resistives Speicher-Bauteil. Die $I(U)$ -Kennlinien quasistatischer Messungen zeigten resistives Schalten zwischen einem niederohmigen R_{ON} -Zustand ($< 10 \text{ k}\Omega$) und einem hochohmigen R_{OFF} -Zustand ($> 1 \text{ M}\Omega$).

Die Schaltspannungen wurden statistisch ausgewertet. Hieraus ging hervor, dass der erste Schaltzyklus stets einer höheren Spannung zum Einschalten der Zelle bedarf, was auf einen initialen Formierungsprozess der MSQ-Zellen hindeutete.

Untersuchungen zum Schaltmechanismus sowie zum Einfluss der Methylgruppe zeigten zum einen, dass das Vorhandensein von Silber notwendig war, um MSQ-Bauteile schalten zu können. Zum anderen erwies sich, dass durch das Entfernen der Methylgruppe aus der MSQ-Schicht dessen Dichte stieg und sich die statistische Verteilung der Formierungsspannungswerte deutlich verbreiterte. Die Spannungen des SET und RESET hingegen veränderten sich auch bei der Entfernung der Methylgruppe nicht.

Die elektrische Performance der Pt/MSQ/Ag-Zellen wurde an $100 \times 100 \text{ nm}^2$ großen Einzelstrukturen überprüft. Dabei ergaben Retention-Messungen eine Stabilität des ON-Zustandes von $8 \cdot 10^3 \text{ s}$ und des OFF-Zustandes von (mindestens) $7 \cdot 10^4 \text{ s}$. Mit Hilfe von Pulsmessungen konnten die Bauteile bis zu $2 \cdot 10^3$ -mal geschaltet werden. Ferner wurden Pt/MSQ/Ag-Zellen mit 10 ns-Pulsen geschaltet, was das Potential für sehr schnelle Speicherbauteile demonstrierte.

Anhand von Untersuchungen an Wort-Strukturen einer Linienbreite von 100 nm stellte sich heraus, dass das Schalten einer Einzelzelle keinen Einfluss auf die benachbarten Zellen hatte. Die Wortregister wurden erfolgreich mit verschiedenen Bit-Folgen programmiert. Crossbar-Arrays konnten aufgrund parasitärer Spannungspfade nicht kontrolliert programmiert werden.

Die Silberdotierung von MSQ-Schichten mittels Temperaturbehandlung machte es möglich, funktionale Mehrlagen-Bauteile zu realisieren. Es wurden Pt/Ag-MSQ/Pt-Zellen hergestellt, welche unipolares Schaltverhalten zeigten. Mit der Realisierung zweier gestapelter Bauteile und dem Nachweis der elektrischen Funktionalität, konnte die Machbarkeit mehrlagiger Pt/Ag-MSQ/Pt-Systeme nachgewiesen werden.

Letzten Endes war mit den MSQ-Bauteilen eine attraktive Alternative der Deposition funktionaler Materialien gefunden, die den technologisch notwendigen Planarisierungs-Prozess beinhaltet.

Ausblick

Die in Jülich etablierte Nanotechnologie-Plattform bietet die Möglichkeit, Strukturgrößen von bis zu 30 nm herzustellen. Es bedarf der Verbesserung der Prozesse, um die Skalierung von Bauteilen bis hin zu Strukturen eines Half-Pitch $< 30 \text{ nm}$ reproduzierbar erzielen zu können. Dabei muss der Fokus auf die Stempelherstellung gerichtet sein, da die Strukturauflösung der Nanoimprint-Lithographie im Wesentlichen durch die Auflösung des Stempels begrenzt ist.

Eine weitere, zukünftige Herausforderung wird die elektrische Kontaktierung sehr kleiner Bauelemente darstellen. Es müssen standardisierte Verfahren entwickelt werden,

welche die Herstellung von sehr großen Kontaktflächen und von Strukturen im Nanometerbereich vereinen. Diese Arbeit liefert den initialen Beitrag derartiger Konzepte durch die Verknüpfung der optischen Lithographie und der Nanoimprint-Lithographie.

Die in dieser Arbeit gezeigten Untersuchungen an MSQ-Bauteilen offenbaren das Potential des Materialsystems für deren Anwendung als Speicher. Dennoch bleiben Fragen zum Schaltmechanismus offen, welche in weiterführenden Experimenten aufzuklären sind. Von besonderem Interesse ist die Form des metallischen Pfades, der sich durch die Glasmatrix während des Schaltens aus- und zurückbildet. Das vollständige Verständnis der physikalischen Prozesse ist zudem für die Performance-Steigerung der MSQ-Speicher von großer Bedeutung.

Das kontrollierte Dotieren der MSQ-Schicht ist die Schlüsselaufgabe zur Realisierung mehrlagiger Crossbar-Arrays. Es sind neben der thermischen Diffusion Ionenimplantations- oder Sol-Gel-Verfahren vorstellbar, um das Dotierungsprofil bzw. den Ag-Gehalt der MSQ-Schicht definiert einstellen zu können.

Das Programmieren von Crossbar-Arrays bedarf zum einen der Entwicklung eines neuen Messplatzes, mit dem alle Bottom- und Top-Elektroden gleichzeitig kontaktiert werden können. Zum anderen ist es notwendig, nichtlineare Bauelemente (z.B. Dioden) in die Crossbar-Architektur zu integrieren. Durch diese Maßnahmen können parasitäre Pfade sowie Spannungsstreuungen kompensiert werden, was für das erfolgreiche Schreiben und Lesen der Speicherzellenzustände einzelner Zellen im Array unabdingbar ist.

Anhang – Prozessparameter

Elektronenstrahl-Lithographie

Lack	: Allresist PMMA – AR-P 641.04 (200K) 30 s @ 4000 rpm, 2 min @ 180°C
Dosis	: 500 $\mu\text{C}/\text{cm}^2$
Schrittweite	: 5 nm
Strom	: 1 nA
Entwicklung	: 60 s in AR-600 55 + 3 min in Isopropanol (Entwicklungsstopp)

UV-Nanoimprint-Lithographie

Haftvermittler	: Ti-Prime (MicroChemicals) 60 s @ 3000 rpm, 2 min @ 120°C
Lack	: NXR2010 + Methylmethacrylat (1:1), Feststoffgehalt 1,5 % 60 s @ 3000 rpm, Kein Ausheizen
UV-NIL	
Abpumpen	: 20 sec
Pre-Imprint	: 100 psi
Main-Imprint	: 550 psi
Imprint-Zeit	: 10 min darin, enthalten 4 min Belichtungszeit
Temperatur	: Raumtemperatur

Methyl-Silsesquioxan

MSQ	: Accuglass T111, Honeywell
Aufschleudern	: 30 s @ 2000 rpm
Ausheizen	: jeweils 2 min @ 80°C + 150°C + 250°C
Härten	: 60 min @ 425°C unter N ₂ (Rapid Thermal Annealing)
Lagerung	: Kühlschrank 8 – 12°C
Aufwärmen	: mind. 90 min auf Raumtemperatur vor der Verarbeitung

Reaktives Ionenstrahl-Ätzen

Metalle

Gas	:	10 sccm Ar
RF-Power [W]	:	~165 (300)
Beam-Current [mA]	:	125 (125)
Beam-Voltage [V]	:	446 (450)
Acceleration-Voltage [V]	:	187 (187)
Neutralisation-Current [mA]	:	152 (150)
FBN-Ar	:	5 sccm
Cooling	:	15°C
Rotation	:	10 rpm
Angle	:	0° bzw. -80° für Antifencing

SiO₂-based

Gas	:	10 sccm CF ₄
RF-Power [W]	:	~185 (300)
Beam-Current [mA]	:	125 (125)
Beam-Voltage [V]	:	446 (450)
Acceleration-Voltage [V]	:	180 (180)
Neutralisation-Current [mA]	:	152 (150)
FBN-Ar	:	5 sccm
Cooling	:	15°C
Rotation	:	10 rpm
Angle	:	0°

(Sollwert)

Literaturverzeichnis

- [1] W. Shockley, J. Bardeen, W. Brattain, *Nobel Lecture*, December 11, 1959, From Nobel Lectures, Physics 1942-1962, Elsevier Publishing Company, Amsterdam, 1964.
- [2] G. E. Moore, *Electronics* **38** (8), (1965).
- [3] G. E. Moore, *IEEE International Electron Device Meeting 1975*, 11 – 13 (1975).
- [4] K. Mistry et al., *Electron Devices Meeting 2007 - IEDM 2007*, 247 – 250 (2007).
- [5] R. Waser, *Nanoelectronics and Information Technology* 2nd ed, pp. 223, Wiley-VCH, Weinheim (2003).
- [6] W. Prost, *Technologie der III/V-Halbleiter*, Springer Berlin Heidelberg (1997).
- [7] A. N. Broers, *Electron Device Meeting* **26**, 2 – 6 (1980).
- [8] S.J. Holmes, *IBM Journal of Research and Development – Optical Lithography* **41** (1/2), (1997).
- [9] R. H. Stulen et al., *IEEE Journal of Quantum Electronics* **35** (5), 694 – 699 (1999).
- [10] Intel Corp., *Semiconductor International* 4/22/2008, <http://www.semiconductor.net/article/CA6553758.html>, (2008).
- [11] M. Leveson et al., *IEEE Transaction on Electron Devices* **12** (12), 1828 – 1836 (1982).
- [12] B. El-Kareh, *Fundamentals of Semiconductor Processing Technology*, Kluwer Academic Publisher, pp. 170 (1995).
- [13] S. Tedesco CEA-LETI, “*Lithography Roadmap for CMOS manufacturing*”, www.lithoconf.com/Full%20contributions/Tedesco_LITHO2006.pdf

- [14] D. J. Beets, Hochauflösende Elektronenstrahllithographie, *produtronic* 7/8 (1986).
- [15] R. Kaesmaier et al., *Microelectronic Engineering* **53 (1-4)**, 37 – 45 (2000).
- [16] S. Y. Chou et al., *Journal of Vacuum Science and Technology B* **14 (6)**, 4129 – 4133 (1996).
- [17] I. McMackin et al., *Proceedings of SPIE Advanced Lithography* (**6921**), 6921-86 (2008).
- [18] S. V. Sreenivasan, *MRS Bulletin* **33**, 854 – 863 (2008).
- [19] M. Melliar-Smith, *Proceedings of 34th International Conference on Micro and Nano Engineering*, 51 (2008).
- [20] K. T. Kim et al., *Proceedings of SPIE Advanced Lithography* (**6921**), 6921-03 (2008).
- [21] I. Yoneda et al., *Proceedings of SPIE Advanced Lithography* (**6921**), 6921-05 (2008).
- [22] M. Hart et al., *International Conference on Electron, Ion and Photon Beam Technology and Nanofabrication (EIPBN) June 2007 and IEEE Lithography Workshop December 2007*.
- [23] M. D. Austin et al., *Applied Physics Letters* **84 (26)**, 5299 – 5301 (2004).
- [24] Q. Xia et al. *Proceedings of 34th International Conference on Micro and Nano Engineering*, 133 (2008).
- [25] N. Li et al., *Nano Letters* **6 (11)**, 2626 – 2629 (2006)
- [26] S. Wuister et al., *Proceedings of 34th International Conference on Micro and Nano Engineering*, 50 (2008).
- [27] V. Sirotkin et al., *Microelectronic Engineering* **84 (5-8)**, 868 – 871 (2007).
- [28] M. Colburn et al., *Journal of Vacuum Science and Technology B* **19 (6)**, 2685 – 2689 (2001).

- [29] T. Baily et al., *Journal of Vacuum Science and Technology B* **19** (6), 2806 – 2810 (2001).
- [30] D. J. Resnik et al., *Semiconductor International*, 71 – 80 June 2002, www.semiconductor.net
- [31] S. Gilles et al., *Microelectronic Engineering* **86**, 661-664 (2009).
- [32] N. Koo et al., *Nanotechnology* **19**, 225304 (2008).
- [33] *Proceedings of 34th International Conference on Micro and Nano Engineering 2008*, 47 – 51, 130 – 134, 164 – 189, 396 – 421 (2008).
- [34] H. Schiff, *Journal of Vacuum Science and Technology B* **26** (2), 458 – 480 (2008).
- [35] M. Bender et al., *Microelectronic Engineering* **83**, 827 – 830 (2006).
- [36] International Technology Roadmap for Semiconductors (ITRS): <http://public.itrs.net>
- [37] <http://www.solid-state.com>, Februar 2006.
- [38] B. Matas und C. de Suberbasaux, “Memory 1997”, *Integrated Circuit Engineering Corporation* Scottsdale Arizona, ISBN: 1-877750-59-X (1997).
- [39] P. Pavan et al., *Proceedings of the IEEE* **85** (8), 1248 – 1271 (1997).
- [40] J. M. Slaughter et al. *Journal of Superconductivity: Incorporating Novel Magnetism* **15** (1), 19-25 (2002).
- [41] A. Sheikholeslami et al., *Proceedings of the IEEE* **88** (5), 667 – 689 (2000).
- [42] S. Lai, *International Electron Device Meeting 2003*, 255 – 258 (2003).
- [43] M. J. Rozenberg et al., *Physical Review Letters* **92** (17), 1783021-4 (2003).
- [44] P. A. Grünberg, *Reviews of Modern Physics* **80** (4), 1531 – 1540 (2008).
- [45] M. N. Kozicki et al., *Non-Volatile Memory Technology Symposium 2004*, 10 – 17 (2004).

- [46] K. Fujiwara et al., *Japanese Journal of Applied Physics* **47** (8), 5266 – 6271 (2008).
- [47] K. Szot et al., *Rapid Research Letters* **1** (2), R86 - R88 (2007).
- [48] S. Halm et al., *Applied Physics Letters* **90**, 051916 (2007).
- [49] A. M. Rawlett et al., *Nanotechnology* **4**, 377 – 384 (2003).
- [50] Y.-M. Lin et al., *IEEE Electron Device Letters* **26** (11), 823 – 825 (2005).
- [51] M. C. Lemme et al., *IEEE Electron Device Letters* **28** (4), 282 – 284 (2007).
- [52] R. Waser und M. Aono, *Nature Materials* **6**, 833 – 839 (2007).
- [53] R. Waser et al., *Advanced Materials* 2009 (in Press).
- [54] T. W. Hickmott, *Journal of Applied Physics* **33**, 2669 – 2682 (1962).
- [55] G. Dearmaley et al., *Report on Progress in Physics* **33**, 1129 – 1191 (1970).
- [56] D. P. Oxley, *Electrocomponent Science and Technology UK* **3**, 217 – 224 (1997)
- [57] H. Pagnai und N. Sotnik, *Physica Status Solidi* **108**, 11 – 65.
- [58] A. Asamitsu et al., *Nature* **388**, 50 – 52 (1997).
- [59] A. Beck et al., *Applied Physics Letters* **77**, 139 – 141 (2000).
- [60] M. N. Kozicki et al., *Pennington NJ USA : Electrochemical Society*, 298 – 309 (1999)
- [61] D. S. Jeong et al., *Applied Physics Letters* **89**, 082909 (2006).
- [62] J. J. Yang et al., *Nature Nanotechnology* **3**, 429 – 433 (2008).
- [63] J.-W. Park et al., *Journal of Vacuum Science and Technology A* **23**, 1309 – 1313 (2005).
- [64] K. Szot et al., *Nature Materials* **5**, 312 – 320 (2006).

- [65] D. S. Jeong, *Dissertation zum Thema: „Resistive Switching in Pt/TiO₂/Pt“*, Jülich (2008).
- [66] Y. Ogimoto et al., *Applied Physics Letters* **90**, 143515 (2007).
- [67] K. Szot et al., *Physica Status Solidi* **1**, R86 – R88 (2007).
- [68] Kozicki et al., *Physica E* **19**, 161 – 166 (2003).
- [69] C. Schindler et al., *IEEE Transactions on Electron Devices* **54** (10), 2762 – 2768 (2007).
- [70] M. N. Kozicki et al., *IEEE Transactions on Nanotechnology* **5** (5), 535 – 544 (2006).
- [71] C. Schindler, *Dissertation zum Thema: „Resistive switching in electrochemical metallization cells“*, Jülich (2009).
- [72] M. Faraday, *Philosophical Transactions of the Royal Society* **133**, 23 – 54 (1833).
- [73] X. Guo et al., *Applied Physics Letters* **91**, 133513 (2007).
- [74] C. Schindler et al., *Physica Status Solidi (RSS)* **2** (3), 129 – 131 (2008),
- [75] U. Russo et al., *Proceedings of The International Disk Drive Equipment and Materials Association (IDEMA) 2008*.
- [76] I. G. Baek et al., *Electron Device Meeting – IEDM 2004*, 587 – 590 (2005).
- [77] S. Dietrich, *IEEE Journal of Solid-State Circuits* **42** (4), 839 – 843 (2007).
- [78] M. Meier et al., *Proceedings Nanoelectronics Days Aachen 2008*, 90 (2008).
- [79] Y. Mustafa, *Dissertation zum Thema: “Design and analysis of future memories based on switchable resistive elements”*, Aachen (2006).
- [80] W. Wu et al., *Applied Physics A* **80**, 1173 – 1178 (2005).
- [81] S. Kaeriyama et al., *IEEE Journal of Solid-State Circuits* **40** (1), 168 – 176 (2005).

- [82] J. E. Green et al., *Nature* **445**, 14 – 17 (2007).
- [83] Y. Dong et al., *Nano Letters* **8** (2), 386 – 391 (2008).
- [84] M. R. Stan et al., *Proceedings of the IEEE* **91** (11), 1940 – 1957 (2003).
- [85] M. M. Ziegler et al., *IEEE Transactions on Nanotechnology* **2** (4), 217 – 230 (2003).
- [86] G. S. Snider et al., *Nanotechnology* **18**, 035204 (2007).
- [87] P. J. Kuekes et al., *Journal of Applied Physics* **97**, 034301 (2005).
- [88] D. R. Stewart et al., *Nanotechnology* **18**, 415201 (2007).
- [89] Y. Mustafa und R. Waser, *IEEE Transactions on Nanotechnology* **5** (6), 687 – 691 (2006).
- [90] A. Flocke und T.G. Noll, *Proceedings of 33rd Solid State Circuits Conference 2007*, 11 – 13 (2007).
- [91] C. Liaw, Infineon Technologies AG, Munich (DE), United States Patent: US 7,227,312 B2, Oct. 2, 2007.
- [92] M.-J. Lee et al., *IEEE International Electron Device Meeting – IEDM 2007*, 771 – 774 (2007).
- [93] A. Flocke et al., *IEEE Non-Volatile Memory Technology Symposium*, 319 (2008).
- [94] D. B. Strukov und K. K. Likharev, *Non-Volatile Memory Technology Symposium 2006*, 58 – 63 (2006).
- [95] J. R. Heath et al., *Science* **280**, 1716 – 1721 (1998).
- [96] A. Ignatiev et al., *Physica Status Solidi B* **243**, 2089 – 2097 (2006).
- [97] C. Nauenheim et al., *Proceedings Ultimate Integration on Silicon Conference 2009* (in press).

- [98] H. Honigschmid et al., *IEEE Symposium on VLSI Circuits 2006 – Digest of Technical Papers*, 110 – 111 (2006).
- [99] <http://www.obducat.com>
- [100] D. Resnik et al., *Materials Today* **8** (2), 34 – 42 (2005).
- [101] Molecular Imprints Inc., *Semiconductor International* 1/29/2009, “Molecular Imprints Aims at Japan Market”, <http://www.semiconductor.net>.
- [102] R. Waser, *Nanotechnology Vol. 3: Information and Technology I*, Wiley-VCH, Weinheim (2008).
- [103] H. Gao et al., *Nano Letters* **6** (11), 2438 – 2441 (2006).
- [104] User-Manual Nanonex 2000.
- [105] S. Schneider et al., *Material Research Society Symposium* **655**, 2.5.1 – 2.5.6 (2001).
- [106] M. Meier et al., *Microelectronic Engineering* **85**, 870 – 872 (2008).
- [107] Allresist Gesellschaft für chemische Produkte zur Mikrostrukturierung mbH, *Datenblatt: PMMA Polymere E-Beam Resiste* (2007).
- [108] S. Gilles, *Diplomarbeit zum Thema: “Chemical modification of Silicon surfaces for the application in soft lithography”*, Jülich (2007).
- [109] C. Nauenheim, *Disseratation zum Thema: “Intergration of resistively switching TiO₂ in crossbar array architectures”*, Jülich (2009).
- [110] L. J. Guo, *Advanced Materials* **19**, 495 – 513 (2007).
- [111] Y. Harai et al., *Journal of Vacuum Science and Technology B* **19**(6), 2811 – 2815 (2001).
- [112] M. E. Walsh et al., *Journal of Vacuum Science and Technology B* **18**(6), 3539 – 3543 (2000).

- [113] S. Panda et al., *Journal of Vacuum Science and Technology B* **19(2)**, 398 – 404 (2001).
- [114] M. Meier, *Studienarbeit zum Thema: “Plasmaprozesse für InP-basierte Halbleiter mit niedrigen Ätzraten in einer Anlage mit induktiv-gekoppeltem Plasma”*, Duisburg (2005).
- [115] S. Schneider et al., *Material Research Society Symposium* **688**, 5.6.1 – 5.6.6 (2002).
- [116] M. Meier et al., *Microelectronic Engineering* **86**, 1060-1062 (2009).
- [117] S. Tachi et al., *Journal of Vacuum Science and Technology A* **9(3)**, 796 – 803 (1991).
- [118] M. Li et al., *Proceedings of SPIE* **5374**, 209 - 212 (2004).
- [119] M. W. Lin et al, *Proceedings of SPIE* **6151**, 688 - 699 (2006).
- [120] M. Miller et al., *Proceedings of SPIE* **5751**, 994 - 1002 (2005).
- [121] R. Rosezin et al., *Microelectronic Engineering* (2009) in press.
- [122] N. Ahner et al., *Microelectronic Engineering* **84**, 2602-2609 (2007).
- [123] A. T. Kohl et al., *Electrochemical and Solid-State Letters* **2(2)**, 77-79 (1999).
- [124] K. Maex et al. *Journal of Applied Physics* **93(11)**, 8793-8841 (2003).
- [125] W.-C. Liu et al., *Journal of Non-Crystalline Solids* **311**, 233-240 (2002).
- [126] S. C. Puthen Thermadam, *Disseratation zum Thema: “Programmable Metallization Cell Based on Copper Doped Silicon Dioxide”*, Arizona (2007).
- [127] S. Manhart, *Journal of Applied Physics* **6(1)**, 82-86 (1973).
- [128] C.R. Krebs, *Studienarbeit zum Thema: “Temperature-dependent investigations of resistive switching Cu/SiO₂/Pt memory cells”*, Jülich (2009).

- [129] L. Nevot und P. Croce, Characterisation of surfaces by grazing X-Ray reflection, *Revue de Physique Appliquee* **15(3)**, 761-779 (1980).
- [130] M.Meier et al., *Electron Device Letters* **30(1)**, 8-10 (2009).
- [131] D. K. Sarkar et al., *Journal of Applied Physics* **97**, 084302 (2005).
- [132] M. Meier et al., *Proceedings IEEE International Conference on Ultimate Integration on Silicon 2009*, 141-146 (2009).
- [133] Unity Semiconductor Corporation, www.unitysemi.com, US-Patent: USPTO Application #: 20080084727

LEBENS LAUF

Persönliche Daten

Name und Anschrift	Matthias Meier Antoniusstraße 9 47877 Willich
Geburtsdatum	1. September 1980 (in Willich)
Familienstand	verheiratet, keine Kinder
Staatsangehörigkeit	deutsch
seit 08/2009	Forschungszentrum Jülich GmbH, Institut für Photovoltaik, Post-Doc Wissenschaftler im Bereich PECVD-Prozesstechnologie für a-Si- und μ c-Si-Dünnschicht-Solarzellen
06/2006 – 07/2009	Forschungszentrum Jülich GmbH, Institut für Festkörperforschung, Promotion zu dem Thema: „Entwicklung einer Nanotechnologie- Plattform für die Herstellung Crossbar-basierter Speicherarchitekturen“
09/2005 – 03/2006	Fraunhofer-Institut „Mikroelektronische Schaltungen und Systeme (IMS)“ in Duisburg, Diplomarbeit zu dem Thema: „Untersuchung von AVT- und Verkapselungs-Aspekten bei mikrosystem-technischen Drucksensor-Implantaten für den medizinischen Einsatz unter besonderer Berücksichtigung des Dynamikverhaltens“
10/2000 – 03/2006	Universität Duisburg-Essen, Studium der Elektro- und Informationstechnik , Vertiefungsrichtung Mikroelektronik Abschluss: Diplom
1991 – 2000	St. Bernhard Gymnasium Willich-Schiefbahn, Abitur mit den Leistungskursen Mathematik und Pädagogik
1987 – 1991	Grundschule, Kolpingschule in Willich

Willich, 30. November 2009

Matthias Meier

An Verena:

*Trotz des schweren Rückschlags in deinem Leben hast du mich weiter ermutigt, meine
Träume zu verfolgen. Durch deine Stärke, Zuversicht und Liebe behielt ich meinen
Glauben an den Erfolg meiner Arbeit sowie meine Lebensfreude.
Ich bin dir unendlich dankbar.*

1. **Soft Matter**
From Synthetic to Biological Materials
Lecture manuscripts of the 39th IFF Spring School March 3 – 14, 2008
Jülich, Germany
edited by J.K.G. Dhont, G. Gompper, G. Nägele, D. Richter, R.G. Winkler (2008),
c. 1000 pages
ISBN: 978-3-89336-517-3
2. **Structural analysis of diblock copolymer nanotemplates using grazing incidence scattering**
by D. Korolkov (2008), III, 167 pages
ISBN: 978-3-89336-522-7
3. **Thermal Nonequilibrium**
Thermal forces in fluid mixtures
Lecture Notes of the 8th International Meeting on Thermodiffusion,
9 – 13 June 2008, Bonn, Germany
edited by S. Wiegand, W. Köhler (2008), 300 pages
ISBN: 978-3-89336-523-4
4. **Synthesis of CMR manganites and ordering phenomena in complex transition metal oxides**
by H. Li (2008), IV, 176 pages
ISBN: 978-3-89336-527-2
5. **Neutron Scattering**
Lectures of the JCNS Laboratory Course held at the Forschungszentrum Jülich
and the research reactor FRM II of TU Munich
edited by R. Zorn, Th. Brückel, D. Richter (2008), c. 500 pages
ISBN: 978-3-89336-532-6
6. **Ultrafast Magnetization Dynamics**
by S. Woodford (2008), 130 pages
ISBN: 978-3-89336-536-4
7. **Role of Surface Roughness in Tribology: from Atomic to Macroscopic Scale**
by C. Yang (2008), VII, 166 pages
ISBN: 978-3-89336-537-1
8. **Strahl- und Spindynamik von Hadronenstrahlen in Mittelenergie-Ringbeschleunigern**
von A. Lehrach (2008), II, 171 Seiten
ISBN: 978-3-89336-548-7
9. **Phase Behaviour of Proteins and Colloid-Polymer Mixtures**
by C. Gögelein (2008), II, 147 pages
ISBN: 978-3-89336-555-5

10. **Spintronics – From GMR to Quantum Information**
Lecture Notes of the 40th IFF Spring School March 9 – 20, 2009
Jülich, Germany
edited by St. Blügel, D. Bürgler, M. Morgenstern, C. M. Schneider,
R. Waser (2009), c. 1000 pages
ISBN: 978-3-89336-559-3
11. **ANKE / PAX Workshop on SPIN Physics**
JINR, Dubna, Russia / June 22. - 26.2009
Org. Committee: A. Kacharava, V. Komarov, A. Kulikov, P. Lenisa, R. Rathmann,
H. Ströher (2009), CD-ROM
ISBN: 978-3-89336-586-9
12. **Entwicklung einer Nanotechnologie-Plattform für die Herstellung
Crossbar-basierter Speicherarchitekturen**
von M. Meier (2009), 135 Seiten
ISBN: 978-3-89336-598-2



Schlüsseltechnologien / Key Technologies
Band / Volume 12
ISBN 978-3-89336-598-2

